

JP10214492

Publication Title:

MULTI-VALUED MEMORY

Abstract:

Abstract of JP10214492

PROBLEM TO BE SOLVED: To provide a multi-valued memory which can shorten the write verify time. SOLUTION: This memory is provided with a write circuit(2, 3, 6, 7, 9) which has an electrically writable memory cell having at least an erase state and a first write state, and a second write state. It is so constituted that data is written while a write operation which applies a write voltage on this memory cell to execute a specified write, a first write confirming operation which confirms whether the memory cell reaches the first write state or not after the write operation, or a second write confirming operation which confirms the memory cell reaches the second write state or not after the write operation are repeated. In the first period when data write is started, the second write confirming operation is omitted and the write operation and the first write confirming operation are repeated. In the second period after the said write operation, the write operation, the first write confirming operation and the second write confirming operation are repeated.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-214492

(43)公開日 平成10年(1998) 8月11日

(51)Int.Cl.⁶
G 1 1 C 16/02

識別記号

F I
G 1 1 C 17/00

6 4 1
6 1 1 A

審査請求 未請求 請求項の数20 ○L (全 34 頁)

(21)出願番号 特願平9-18349

(22)出願日 平成9年(1997) 1月31日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 田中 智晴

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72)発明者 竹内 健

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

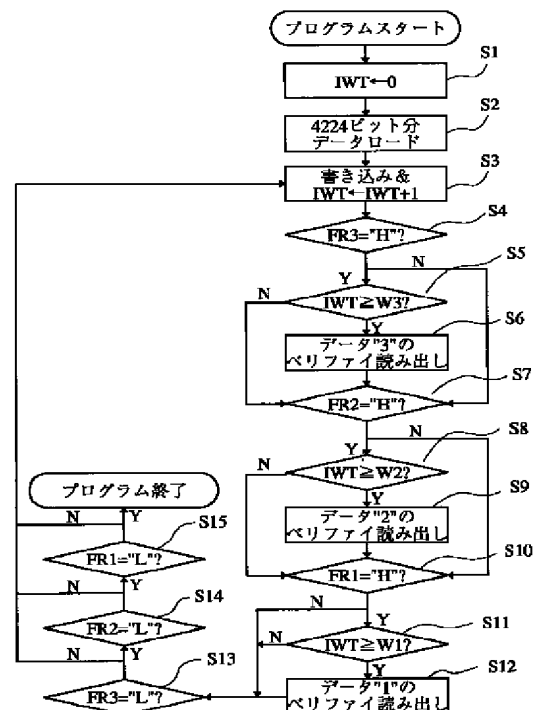
(74)代理人 弁理士 外川 英明

(54)【発明の名称】 多値メモリ

(57)【要約】

【課題】 書き込みペリファイ時間を短くすることのできる多値メモリの提供。

【解決手段】 少なくとも消去状態と第1の書き込み状態と第2の書き込み状態とを持ち電氣的に書き込み可能なメモリセル(M)、および前記メモリセル(M)に書き込み電圧を印加し所定の書き込みを行う書き込み動作と、前記書き込み動作後に前記メモリセル(M)が前記第1の書き込み状態に達したか否かを確認する第1の書き込み確認動作、あるいは、前記書き込み動作後に前記メモリセル(M)が前記第2の書き込み状態に達したか否かを確認する第2の書き込み確認動作とを繰り返しながらデータ書き込みを行う書き込み回路(2、3、6、7、9)を備え、データ書き込み当初の第1の期間は、前記第2の書き込み確認動作を省略して前記書き込み動作と前記第1の書き込み確認動作を繰り返し、前記第1の期間の後の第2の期間は、前記書き込み動作と前記第2の書き込み確認動作を繰り返す。



【特許請求の範囲】

【請求項1】少なくとも消去状態と第1の書き込み状態と第2の書き込み状態とを持ち電氣的に書き込み可能なメモリセル、および前記メモリセルに書き込み電圧を印加し所定の書き込みを行う書き込み動作と、前記書き込み動作後に前記メモリセルが前記第1の書き込み状態に達したか否かを確認する第1の書き込み確認動作、あるいは、前記書き込み動作後に前記メモリセルが前記第2の書き込み状態に達したか否かを確認する第2の書き込み確認動作と、を繰り返しながらデータ書き込みを行う書き込み回路を備えた多値メモリであって、前記書き込み回路は、データ書き込み当初の第1の期間は、前記第2の書き込み確認動作を省略して前記書き込み動作と前記第1の書き込み確認動作を繰り返し、前記第1の期間の後の第2の期間は、前記書き込み動作と前記第1の書き込み確認動作と前記第2の書き込み確認動作を繰り返すことを特徴とする多値メモリ。

【請求項2】前記書き込み回路は、前記第2の期間の後の第3の期間は、前記第1の書き込み確認動作を省略して前記書き込み動作と前記第2の書き込み確認動作を繰り返すことを特徴とする請求項1記載の多値メモリ。

【請求項3】前記書き込み回路は、前記メモリセルが所定の前記第1の書き込み状態あるいは第2の書き込み状態に達したと確認すると、前記メモリセルに印加する書き込み電圧を変更することを特徴とする請求項1または請求項2記載の多値メモリ。

【請求項4】少なくとも消去状態と第1の書き込み状態と第2の書き込み状態とを持ち電氣的に書き込み可能な複数のメモリセル、および前記複数のメモリセルに書き込み電圧を印加し所定の書き込みを行う書き込み動作と、前記書き込み動作後に前記複数のメモリセルのうち第1の書き込み状態となるべきメモリセルが前記第1の書き込み状態に達したか否かを確認する第1の書き込み確認動作、あるいは、前記書き込み動作後に前記複数のメモリセルのうち第2の書き込み状態となるべきメモリセルが前記第2の書き込み状態に達したか否かを確認する第2の書き込み確認動作と、を繰り返しながらデータ書き込みを行う書き込み回路を備えた多値メモリであって、前記書き込み回路は、データ書き込み当初の第1の期間は、前記第2の書き込み確認動作を省略して前記書き込み動作と前記第1の書き込み確認動作を繰り返し、前記第1の期間の後の第2の期間は、前記書き込み動作と前記第1の書き込み確認動作と前記第2の書き込み確認動作を繰り返すことを特徴とする多値メモリ。

【請求項5】前記書き込み回路は、前記第2の期間の後の第3の期間は、前記第1の書き込み確認動作を省略して前記書き込み動作と前記第2の書き込み確認動作を繰り返すことを特徴とする請求項4記載の多値メモリ。

【請求項6】前記書き込み回路は、前記第1の書き込み

状態となるべきメモリセルが前記第1の書き込み状態に達したと確認すると、前記第1の書き込み状態となるべきメモリセルに印加する書き込み電圧を変更し、前記第2の書き込み状態となるべきメモリセルが前記第2の書き込み状態に達したと確認すると、前記第2の書き込み状態となるべきメモリセルに印加する書き込み電圧を変更することを特徴とする請求項4または請求項5記載の多値メモリ。

【請求項7】前記第1の期間は予め決められていることを特徴とする請求項4または請求項5記載の多値メモリ。

【請求項8】前記書き込み回路は、前記第1の書き込み状態となるべきメモリセルの全てが前記第1の書き込み状態に達したと確認すると、前記第1の書き込み確認動作を省略して前記書き込み動作と前記第2の書き込み確認動作を繰り返すことを特徴とする請求項5記載の多値メモリ。

【請求項9】前記書き込み回路は、前記第1の書き込み状態となるべきメモリセルの全てが前記第1の書き込み状態に達したか否かを一括して検出することを特徴とする請求項8記載の多値メモリ。

【請求項10】前記書き込み回路は、前記第2の書き込み状態となるべきメモリセルの全てが前記第2の書き込み状態に達したか否かを一括して検出することを特徴とする請求項8または請求項9記載の多値メモリ。

【請求項11】前記第1の書き込み状態となるべきメモリセルに印加される書き込み電圧と前記第2の書き込み状態となるべきメモリセルに印加される書き込み電圧が等しいことを特徴とする請求項4記載の多値メモリ。

【請求項12】前記書き込み回路は、書き込みが行われたメモリセルの全てが所定の書き込み状態に達したことを確認して前記書き込み動作を終了することを特徴とする請求項4記載の多値メモリ。

【請求項13】前記書き込み回路は、書き込みが行われたメモリセルの全てが所定の書き込み状態に達したことを一括して検出することを特徴とする請求項12記載の多値メモリ。

【請求項14】各々が n 値($n \geq 3$)のデータを記憶可能な複数の不揮発性メモリセルから構成されるメモリセルアレイ、および前記メモリセルアレイ中の選択されたメモリセルに書き込み動作中に印加される書き込み制御電圧を決める制御データを記憶するデータ記憶回路を具備し、

前記データ記憶回路は、前記データ記憶回路に記憶されている前記制御データに基づいて選択されたメモリセルに前記書き込み制御電圧を印加し、

第1の制御データを記憶している前記データ記憶回路は、選択されたメモリセルの書き込み状態が第1の状態に達したか否かを検出し、達している場合に制御データを第2の制御データに変更し、前記第2の制御データを

記憶している前記データ記憶回路は、選択されたメモリセルの書き込み状態が第2の状態に達したか否かを検出し、達している場合に制御データを第3の制御データに変更することを特徴とする多値メモリ。

【請求項15】前記第1の状態は第1のしきい値レベルを有し、前記第2の状態は前記第1のしきい値レベルよりも低い第2のしきい値レベルを有することを特徴とする請求項14記載の多値メモリ。

【請求項16】前記データ記憶回路は、第1のサブデータ回路と第2のサブデータ回路から構成され、第1のサブデータ回路に第1の論理レベルのサブデータを記憶し第2のサブデータ回路に前記第1の論理レベルのサブデータを記憶して、前記第1の制御データを記憶し、第1のサブデータ回路に前記第1の論理レベルのサブデータを記憶し第2のサブデータ回路に第2の論理レベルのサブデータを記憶して、前記第2の制御データを記憶し、第1のサブデータ回路に前記第2の論理レベルのサブデータを記憶し第2のサブデータ回路に前記第2の論理レベルのサブデータを記憶して、前記第3の制御データを記憶することを特徴とする請求項14記載の多値メモリ。

【請求項17】前記データ記憶回路は、選択されたメモリセルの書き込み状態が前記第1の状態に達したか否かを、第1および第2のサブデータ回路の一方で検出し、選択されたメモリセルの書き込み状態が前記第2の状態に達したか否かを、第1および第2のサブデータ回路の他方で検出することを特徴とする請求項16記載の多値メモリ。

【請求項18】さらに、全ての前記データ記憶回路を構成する第1および第2のサブデータ回路に記憶されている全てのサブデータが前記第2の論理レベルであるか否かを一括して検出する回路を具備することを特徴とする請求項16記載の多値メモリ。

【請求項19】前記メモリセルは4値記憶可能であって、前記第1および第2のサブデータ回路はそれぞれ1つのフリップフロップ回路を含むことを特徴とする請求項16記載の多値メモリ。

【請求項20】前記メモリセルは3値記憶可能であって、前記第1および第2のサブデータ回路はそれぞれ1つのフリップフロップ回路を含むことを特徴とする請求項16記載の多値メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多値メモリに係わり、特に多値フラッシュメモリ、多値EEPROM、多値EPROMなどの多値記憶を行う半導体記憶装置に関する。

【0002】

【従来の技術】EEPROMのメモリセルの1つとして、半導体基板上に電荷蓄積層（浮遊ゲート）と制御ゲ

ートが積層形成されたMOSFET構造を有するものが知られている。通常、浮遊ゲートに蓄えられた電荷量によって、データ“0”または“1”を記憶し1つのセルに1ビットのデータを記憶する。これに対してより高密度なEEPROMを実現させるため、1つのセルに多ビット分のデータを記憶させる多値記憶方式も知られている。例えば4値記憶方式では、データ“0”、“1”、“2”、“3”を1つのセルに記憶させるため、データに対応した4つの電荷量を浮遊ゲートに蓄える。

【0003】4値方式を例にデータの記憶状態の一例を説明する。浮遊ゲートの電荷量が0の状態を中性状態とし、中性状態より正の電荷を蓄えた状態を消去状態とする。また、消去状態をデータ“0”に対応させる。例えば、基板に高電圧（～20V）を印加し、制御ゲートを0Vとして消去は行われる。中性状態より負の電荷を蓄えた状態をデータ“1”の状態とする。データ“2”の状態も中性状態より負の電荷を蓄えた状態であるが、負の電荷量がデータ“1”の状態の負の電荷量より多くされる。データ“3”の状態はさらに負の電荷量が多くされる。例えば、書き込み動作中、基板、ソース、ドレインを0V、制御ゲートを高電圧（～20V）として、負の電荷を浮遊ゲートに蓄え、データ“1”、“2”、“3”を書き込む。また、書き込み動作中、基板を0V、ソース、ドレインを10V、制御ゲートを高電圧（～20V）として、浮遊ゲート中の電荷を保持し、データ“0”をメモリセルに記憶する。これによって、メモリセルトランジスタにおけるしきい値レベルの互いに異なった、4つの書き込み状態（“0”、“1”、“2”、“3”）がメモリセルの中に実現される。

【0004】多値記憶EEPROMの1つとして、複数のバイト分のデータを一括してメモリセルに多値レベルデータとして書き込むものが知られている（例えば、特開平7-93979号公報）。一括して書き込むのは、書き込み時間を短縮するためであり、個々のメモリセルに多値データを書き込むための制御データを記憶する複数のデータ記憶回路を備えている。また、書き込み状態を精度よく制御するため、例えば、書き込み動作後にメモリセルの書き込み状態を検出し（書き込みベリファイ）、書き込み不十分なメモリセルがあれば、そのメモリセルのみに書き込みを促進するような書き込み電圧が印加されるよう、データ記憶回路の制御データは変換される。変換された制御データを用いて、再度書き込み動作が行われ、全ての選択されたメモリセルが十分書き込まれるまで、書き込み動作と書き込みベリファイ動作が続けられる。

【0005】

【発明が解決しようとする課題】しかしながら、上述したような従来の多値記憶EEPROMにおいては、実際に浮遊ゲートに電荷を蓄積するために要する時間に加え、書き込みベリファイ動作を行っているため、書き込

みに要するトータルの時間が冗長になる、という問題があった。特に、“1”書き込み状態にメモリセルが達したか否かを検出し、その後“2”書き込み状態にメモリセルが達したか否かを検出し、というように、それぞれの書き込み状態にメモリセルが達したか否かを別々に検出する場合、毎回、全ての書き込み状態を検出すると書き込み時間が著しく長くなってしまふ。然るに、メモリセルがそれぞれの書き込み状態に達する時間には差があり、つまり、“1”、“2”、“3”の順に書き込みされていくので、最も書き込みし易いメモリセルが“1”状態に達するころは、まだ“2”や“3”の状態にはメモリセルは達しておらず、ここで“2”や“3”の状態に達したか否かを検出するのは全くの無駄である。即ち、こうした書き込みベリファイ動作においては、書き込み初期に不必要なベリファイ読み出しが実行されていることになり、これが書き込み時間の長時間化を招いていた。

【0006】また、書き込みベリファイを行い制御データの変換を行うため、1つのデータ記憶回路は複数のセンス回路を持つ。ある特定の書き込み状態を検出する際に複数のセンス回路で同時に検出すると、あるセンス回路は書き込み十分と検出し、またあるセンス回路は書き込み不十分と検出することがある。これは、センス回路を構成するトランジスタの性能のばらつきなどにより、センス感度差があるためである。このため、制御データの変換を正常に行えない場合がある、という問題があった。

【0007】以上のように、多値記憶方式は高密度化のための有効な手段であるが、メモリセルがそれぞれの書き込み状態に達する時間に差があるので、不必要なベリファイ読み出しが実行されると書き込み時間が冗長になり、結果的に書き込みベリファイのため書き込み時間が長くなるという問題があった。また、1つのメモリセルの書き込み状態を複数のセンス回路で同時に検出すると、センス感度ばらつきにより結果が異なることがあり、ひいては信頼性が損なわれるという問題があった。

【0008】本発明は、上記事情を考慮してなされたもので、その目的とするところは、書き込みベリファイ時間を短くすることのできる多値メモリを提供することにある。さらに、本発明の他の目的は、安定した書き込みベリファイ結果が得られる信頼性の高い多値メモリを提供することにある。

【0009】

【課題を解決するための手段】本願第1の発明では、上記課題を解決するために、次のような構成を採用している。即ち、本発明における多値メモリは、少なくとも消去状態と第1の書き込み状態と第2の書き込み状態とを持ち電気的に書き込み可能なメモリセル、および前記メモリセルに書き込み電圧を印加し所定の書き込みを行う書き込み動作と、前記書き込み動作後に前記メモリセル

が前記第1の書き込み状態に達したか否かを確認する第1の書き込み確認動作、あるいは、前記書き込み動作後に前記メモリセルが前記第2の書き込み状態に達したか否かを確認する第2の書き込み確認動作とを繰り返しながらデータ書き込みを行う書き込み回路を備えた多値メモリであって、前記書き込み回路は、データ書き込み当初の第1の期間は、前記第2の書き込み確認動作を省略して前記書き込み動作と前記第1の書き込み確認動作を繰り返し、前記第1の期間の後の第2の期間は、前記書き込み動作と前記第1の書き込み確認動作と前記第2の書き込み確認動作を繰り返すことを特徴とする。

【0010】さらに、本発明の望ましい実施様態としては、次のものがあげられる。

(1) 前記書き込み回路は、前記第2の期間の後の第3の期間は、前記第1の書き込み確認動作を省略して前記書き込み動作と前記第2の書き込み確認動作を繰り返す。

(2) 前記書き込み回路は、前記メモリセルが所定の前記第1の書き込み状態あるいは第2の書き込み状態に達したと確認すると、前記メモリセルに印加する書き込み電圧を変更する。

【0011】また、本発明における多値メモリは、少なくとも消去状態と第1の書き込み状態と第2の書き込み状態とを持ち電気的に書き込み可能な複数のメモリセル、および前記複数のメモリセルに書き込み電圧を印加し所定の書き込みを行う書き込み動作と、前記書き込み動作後に前記複数のメモリセルのうち第1の書き込み状態となるべきメモリセルが前記第1の書き込み状態に達したか否かを確認する第1の書き込み確認動作、あるいは、前記書き込み動作後に前記複数のメモリセルのうち第2の書き込み状態となるべきメモリセルが前記第2の書き込み状態に達したか否かを確認する第2の書き込み確認動作とを繰り返しながらデータ書き込みを行う書き込み回路を備えた多値メモリであって、前記書き込み回路は、データ書き込み当初の第1の期間は、前記第2の書き込み確認動作を省略して前記書き込み動作と前記第1の書き込み確認動作を繰り返し、前記第1の期間の後の第2の期間は、前記書き込み動作と前記第1の書き込み確認動作と前記第2の書き込み確認動作を繰り返すことを特徴とする。

【0012】さらに、本発明の望ましい実施様態としては、次のものがあげられる。

(1) 前記書き込み回路は、前記第2の期間の後の第3の期間は、前記第1の書き込み確認動作を省略して前記書き込み動作と前記第2の書き込み確認動作を繰り返す。

(2) 前記書き込み回路は、前記第1の書き込み状態となるべきメモリセルが前記第1の書き込み状態に達したと確認すると、前記第1の書き込み状態となるべきメモリセルに印加する書き込み電圧を変更し、前記第2の書

き込み状態となるべきメモリセルが前記第2の書き込み状態に達したと確認すると、前記第2の書き込み状態となるべきメモリセルに印加する書き込み電圧を変更する。

(3) 前記第1の期間は予め決められている。

(4) 前記書き込み回路は、前記第1の書き込み状態となるべきメモリセルの全てが前記第1の書き込み状態に達したと確認すると、前記第1の書き込み確認動作を省略して前記書き込み動作と前記第2の書き込み確認動作を繰り返す。

(5) 前記書き込み回路は、前記第1の書き込み状態となるべきメモリセルの全てが前記第1の書き込み状態に達したか否かを一括して検出する。

(6) 前記書き込み回路は、前記第2の書き込み状態となるべきメモリセルの全てが前記第2の書き込み状態に達したか否かを一括して検出する。

(7) 前記第1の書き込み状態となるべきメモリセルに印加される書き込み電圧と前記第2の書き込み状態となるべきメモリセルに印加される書き込み電圧が等しい。

(8) 前記書き込み回路は、書き込みが行われたメモリセルの全てが所定の書き込み状態に達したことを確認して前記書き込み動作を終了する。

(9) 前記書き込み回路は、書き込みが行われたメモリセルの全てが所定の書き込み状態に達したことを一括して検出する。

【0013】本願第1の発明に係わる多値メモリは、書き込み後に行われる書き込みベリファイが必要な書き込み状態にのみ注目して書き込みベリファイを行う。メモリセルがそれぞれの書き込み状態に達する時間に差があるので、これを考慮して必要なベリファイ読み出しのみを実行する。これによって、冗長な書き込みベリファイ時間を省略し、高速に書き込み可能な多値メモリを実現することができる。

【0014】さらに本願第2の発明では、上記課題を解決するために、次のような構成を採用している。即ち、本発明における多値メモリは、各々が n 値($n \geq 3$)のデータを記憶可能な複数の不揮発性メモリセルから構成されるメモリセルアレイ、および前記メモリセルアレイ中の選択されたメモリセルに書き込み動作中に印加される書き込み制御電圧を決める制御データを記憶するデータ記憶回路を具備し、前記データ記憶回路は、前記データ記憶回路に記憶されている前記制御データに基づいて選択されたメモリセルに前記書き込み制御電圧を印加し、第1の制御データを記憶している前記データ記憶回路は、選択されたメモリセルの書き込み状態が第1の状態に達したか否かを検出し、達している場合に制御データを第2の制御データに変更し、前記第2の制御データを記憶している前記データ記憶回路は、選択されたメモリセルの書き込み状態が第2の状態に達したか否かを検出し、達している場合に制御データを第3の制御データ

に変更することを特徴とする。

【0015】さらに、本発明の望ましい実施様態としては、次のものがあげられる。

(1) 前記第1の状態は第1のしきい値レベルを有し、前記第2の状態は前記第1のしきい値レベルよりも低い第2のしきい値レベルを有する。

(2) 前記データ記憶回路は、第1のサブデータ回路と第2のサブデータ回路から構成され、第1のサブデータ回路に第1の論理レベルのサブデータを記憶し第2のサブデータ回路に前記第1の論理レベルのサブデータを記憶して、前記第1の制御データを記憶し、第1のサブデータ回路に前記第1の論理レベルのサブデータを記憶し第2のサブデータ回路に第2の論理レベルのサブデータを記憶して、前記第2の制御データを記憶し、第1のサブデータ回路に前記第2の論理レベルのサブデータを記憶し第2のサブデータ回路に前記第2の論理レベルのサブデータを記憶して、前記第3の制御データを記憶する。

(3) 前記データ記憶回路は、選択されたメモリセルの書き込み状態が前記第1の状態に達したか否かを、第1および第2のサブデータ回路の一方で検出し、選択されたメモリセルの書き込み状態が前記第2の状態に達したか否かを、第1および第2のサブデータ回路の他方で検出する。

(4) さらに、全ての前記データ記憶回路を構成する第1および第2のサブデータ回路に記憶されている全てのサブデータが前記第2の論理レベルであるか否かを一括して検出する回路を具備する。

(5) 前記メモリセルは4値記憶可能であって、前記第1および第2のサブデータ回路はそれぞれ1つのフリップフロップ回路を含む。

(6) 前記メモリセルは3値記憶可能であって、前記第1および第2のサブデータ回路はそれぞれ1つのフリップフロップ回路を含む。

【0016】本願第2の発明に係わる多値メモリは、書き込み後に行われる書き込みベリファイ時に、ある書き込み状態を検出するのに1つのサブデータ回路のみでセンス動作を行う。これによって、書き込みベリファイ結果が安定し、信頼性の高い多値メモリを実現することができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1は、本発明の多値メモリ、具体的には多値記憶式NANDフラッシュメモリの概略構成を示すブロック図である。

【0018】メモリセルアレイ1は、電氣的にデータの書き換えが可能な複数のメモリセルがマトリクス状に配置されて形成される。このメモリセルアレイ1は、各メモリセルが行毎に接続される複数のビット線と、各メモリセルが列毎に接続される複数のワード線とを含み、メ

メモリセルアレイ1に対して、ビット線を制御するためのビット線制御回路2とワード線制御回路6が設けられる。

【0019】ビット線制御回路2は、ビット線を介してメモリセルアレイ1中のメモリセルのデータを読み出したり、ビット線を介してメモリセルアレイ1中のメモリセルの状態を検出したり、ビット線を介してメモリセルアレイ1中のメモリセルに書き込み制御電圧を印加してメモリセルに書き込みを行う。ビット線制御回路2は、複数のデータ記憶回路を含み、カラムデコーダ3によって選択されたデータ記憶回路から読み出されたメモリセルのデータは、データ入出力バッファ4を介してデータ入出力端子5から外部へ出力される。また、外部からデータ入出力端子5に入力された書き込みデータは、データ入出力バッファ4を介して、カラムデコーダ3によって選択されたデータ記憶回路に初期的な制御データとして入力される。ビット線制御回路2に含まれる複数のデータ記憶回路に記憶されている内容を検出するために、データ検出回路9が設けられる。

【0020】ワード線制御回路6は、メモリセルアレイ1中のワード線を選択し、読み出しあるいは書き込みあるいは消去に必要な電圧を与える。メモリセルアレイ1、ビット線制御回路2、カラムデコーダ3、データ入出力バッファ4、ワード線制御回路6、およびデータ検出回路9は、制御信号および制御電圧発生回路7によって制御される。制御信号および制御電圧発生回路7は、外部から制御信号入力端子8に入力される制御信号によって制御される。また、データ検出回路9で検出された、ビット線制御回路2に含まれる複数のデータ記憶回路の内容に応答する。

【0021】図2は、本発明の第1の実施の形態において、図1に示されたメモリセルアレイ1およびビット線制御回路2の構成例を示すものである。メモリセルMが4個直列接続されたNAND型セルユニットの一端が選択トランジスタSを介してビット線BLに接続され、他端が選択トランジスタSを介して共通ソース線SRCに接続される。メモリセルMの制御ゲート電極はワード線WLに接続され、2つの選択トランジスタSはそれぞれ選択ゲートSG1、SG2に接続される。1本のワード線WLを共有するメモリセルMはページと言う単位を形成し、4ページで1ブロックを構成する。ここでは、2ブロック分が示されているが、任意の整数、例えば1024ブロックなどでもよい。また、ビット線BLはBL0～BL4223の4224本が示されているが、任意の整数、例えば2112本などでもよい。

【0022】ビット線制御回路2は、複数のデータ記憶回路10を含む。ここでは、2本のビット線BLに対して1つのデータ記憶回路10が設けられているが、任意の整数本、例えば1本や4本や6本や9本に対し1つ設けてもよい。信号CSLはカラムデコーダ3の出力信号

で、例えば、ビット線BL0とBL1に接続されるデータ記憶回路10に記憶されているメモリセルのデータはCSL0とCSL1によってデータ入出力バッファ4に出力される。また、例えばCSL2とCSL3によって、ビット線BL2とBL3に接続されるデータ記憶回路10に、データ入出力バッファ4から、制御データが初期的に転送される。データ記憶回路10は、読み出しの際、どちらか一方のビット線に接続されるメモリセルのデータを読み出す。また、書き込みの際、どちらか一方のビット線に接続されるメモリセルに、記憶されている制御データに従って書き込み制御電圧を印加する。また、書き込み状態検出の際、どちらか一方のビット線に接続されるメモリセルの書き込み状態を検出する。

【0023】図3は、図2に示されたメモリセルMと選択トランジスタSの断面図である。p型の半導体基板11の表面にn型の拡散層12が形成される。メモリセルMでは、半導体基板11上に絶縁膜13を介して浮遊ゲート14、さらにその上に絶縁膜15を介してワード線WLとなる制御ゲート16が形成される。選択トランジスタSでは、半導体基板11上に絶縁膜17を介して選択ゲートSGとなる選択ゲート18が形成される。

【0024】図4は、図2に示されたNAND型セルユニットの構造をその両端の2つの選択トランジスタと併せて示す断面図である。メモリセルMは4つが直列接続され、一端は選択トランジスタSを介して共通ソース線SRCに接続される。他端は選択トランジスタSを介してビット線BLに接続される。選択されたワード線を例えばWL2とすると、書き込み時は、選択されたワード線WL2に20Vが印加される。非選択ワード線WL1、WL3とWL4には10Vが与えられる。また、選択ゲートSG1には電源電圧VCCが与えられる。選択ゲートSG2は0Vである。

【0025】例えば4値記憶の場合、データ“1”、“2”、“3”を書き込むときは、ビット線BLを0Vにする。これによって、選択メモリセルでは浮遊ゲートに電子が注入されしきい値が正になる。データ“0”を書き込む場合は、ビット線BLを電源電圧VCCにする。この場合、浮遊ゲートには電子が注入されない。データ“1”、“2”、“3”を書くときのビット線BLの電圧は0Vでなくてもよい。例えば、データ“1”を書くときビット線BLの電圧を0.8Vにして、データ“2”、“3”を書くときのビット線BLの電圧を0Vとしてもよい。これは、データ“1”を記憶させるためにメモリセルMの浮遊ゲートに注入する電子量は、データ“2”、“3”を記憶させるために注入する電子より少なくてもよいからである。また、データ“1”、“2”、“3”を書くときのビット線BLの電圧はそれぞれ異なってもよい。例えば、それぞれ0.8V、0.4V、0Vとしてもよい。

【0026】消去時は、基板の電圧Vsubを20Vに

する。また、選択ゲートSG1とSG2、共通ソース線SRC、ビット線BLも20Vにする。消去するブロックのワード線WL1～WL4を0Vにすると、電子が浮遊ゲートから放出されしきい値が負になる（データ“0”の状態）。消去しないブロックのワード線WL1～WL4を20Vにすると、電子は浮遊ゲートから放出されない。

【0027】例えば4値記憶の場合、データ“0”に対応するメモリセルのしきい値を0V以下、データ“1”に対応するメモリセルのしきい値を0.4V～0.8V、データ“2”に対応するメモリセルのしきい値を1.2V～1.6V、データ“3”に対応するメモリセルのしきい値を2.0V～2.4Vとする。読み出し時は、選択ワード線WL2をVreadにする。非選択ワード線WL1、WL3とWL4は電源電圧VCC（例えば3.3V）にする。選択ゲートSG1とSG2もVCCにする。共通ソース線SRCは0Vである。

【0028】(1) Vreadを0Vにすると、選択メモリセルがデータ“1”か“2”か“3”を記憶していれば、VCCに充電され浮遊状態にされたビット線の電圧はVCCのままである。選択メモリセルがデータ“0”を記憶していれば、VCCに充電され浮遊状態にされたビット線の電圧は0Vに下がる。

【0029】(2) Vreadを1Vにすると、選択メモリセルがデータ“2”か“3”を記憶していれば、VCCに充電され浮遊状態にされたビット線の電圧はVCCのままである。選択メモリセルがデータ“0”か“1”を記憶していれば、VCCに充電され浮遊状態にされたビット線の電圧は0Vに下がる。

【0030】(3) Vreadを1.8Vにすると、選択メモリセルがデータ“3”を記憶していれば、VCCに充電され浮遊状態にされたビット線の電圧はVCCのままである。選択メモリセルがデータ“0”か“1”か“2”を記憶していれば、VCCに充電され浮遊状態にされたビット線の電圧は0Vに下がる。

【0031】以上の(1)～(3)のように、電圧Vreadを変化させたときのビット線の電圧を検出することにより、メモリセルMに記憶されているデータが判定される。

【0032】図5は、図2に示されたメモリセルアレイ1とデータ記憶回路10のより具体的な構成例を説明するためのもので、ビット線BLiとBLi+1に着目し一部の回路構成を抽出して示している。なおここでは、4値記憶フラッシュメモリの構成例を示す。

【0033】即ち、データ記憶回路10中には、それぞれフリップフロップ回路を含む第1および第2のサブデータ回路20、21が設けられている。具体的には、pチャネルMOSトランジスタQp1とQp2、およびnチャネルMOSトランジスタQn1、Qn2、Qn4、Qn5、Qn8で第1のサブデータ回路20を構成す

る。また、pチャネルMOSトランジスタQp4とQp5、およびnチャネルMOSトランジスタQn12、Qn13、Qn15、Qn16、Qn19で第2のサブデータ回路21を構成する。第1および第2のサブデータ回路20、21は、それぞれ書き込み時に第1および第2のサブデータを記憶し、それぞれ読み出し時に第1および第2の読み出しサブデータを記憶する。pチャネルMOSトランジスタQp3およびQp6はそれぞれ第1および第2のサブデータ回路20、21をリセットするためのものである。リセットされると第1のサブデータ回路20内のノードNaiは“H”レベルとなる。この状態は第1のサブデータ回路20が“1”の第1の読み出しサブデータあるいは“1”の第1のサブデータを記憶している状態である。また、リセットされると第2のサブデータ回路21内のノードNai+1は“H”レベルとなる。この状態は第2のサブデータ回路21が

“1”の第2の読み出しサブデータあるいは“1”の第2のサブデータを記憶している状態である。第1のサブデータ回路20内のノードNaiが“L”レベルの状態は、第1のサブデータ回路20が“0”の第1の読み出しサブデータあるいは“0”の第1のサブデータを記憶している状態である。第2のサブデータ回路21内のノードNai+1が“L”レベルの状態は、第2のサブデータ回路21が“0”の第2の読み出しサブデータあるいは“0”の第2のサブデータを記憶している状態である。

【0034】nチャネルMOSトランジスタQn6およびQn17は第1および第2のサブデータ回路20、21とそれぞれデータ入出力線IOL、IOUを電氣的に接続するためのものである。それぞれのゲート電極には、カラムデコード3からの出力CSLiおよびCSLi+1がそれぞれ与えられる。例えば、CSLiが“H”になると、ビット線BLiとBLi+1に設けられたデータ記憶回路10の第1のサブデータ回路20とデータ入出力線IOLが電氣的に接続される。データ入出力線IOL、IOUはデータ入出力バッファ4に接続されていて、第1のサブデータ回路20にサブデータを設定することができる。あるいは、第1のサブデータ回路20の読み出しサブデータをデータ入出力バッファ4に出力することができる。nチャネルMOSトランジスタQn3およびQn14はそれぞれ第1および第2のサブデータ回路20、21に“0”のサブデータをプリセットするためのものである。プリセットされると第1のサブデータ回路20内のノードNaiは“L”レベルとなる。また、プリセットされると第2のサブデータ回路21内のノードNai+1は“L”レベルとなる。

【0035】nチャネルMOSトランジスタQn7およびQn8は、第1のサブデータ回路20に記憶されている第1のサブデータに応じて、ビット線BLiあるいはBLi+1の電圧を制御する。また、nチャネルMOS

トランジスタ Q_{n18} および Q_{n19} は、第2のサブデータ回路21に記憶されている第2のサブデータに応じて、ビット線 BL_i あるいは BL_{i+1} の電圧を制御する。

【0036】 n チャネルMOSトランジスタ Q_{n7} および Q_{n9} は、第1のサブデータ回路20に“1”の第1のサブデータが記憶されているとき、ビット線 BL_i あるいは BL_{i+1} の電圧を0Vにする。また、 n チャネルMOSトランジスタ Q_{n18} および Q_{n20} は、第2のサブデータ回路21に“1”の第2のサブデータが記憶されているとき、ビット線 BL_i あるいは BL_{i+1} の電圧を0Vにする。

【0037】 n チャネルMOSトランジスタ Q_{n10} および Q_{n21} は、第1および第2のサブデータ回路20、21とビット線 BL_i あるいは BL_{i+1} の電氣的接続を制御する。信号 BLC_1 が“H”で BLC_2 が“L”であれば、第1および第2のサブデータ回路20、21とビット線 BL_i が電氣的に接続される。信号 BLC_1 が“L”で BLC_2 が“H”であれば、第1および第2のサブデータ回路20、21とビット線 BL_{i+1} が電氣的に接続される。

【0038】 n チャネルMOSトランジスタ Q_{n11} および Q_{n22} は、ビット線 BL_i と電圧 VBL_1 の電氣的接続、ビット線 BL_{i+1} と電圧 VBL_2 の電氣的接続を制御する。信号 PRE_1 が“H”であれば、ビット線 BL_i と電圧 VBL_1 が電氣的に接続される。信号 PRE_2 が“H”であれば、ビット線 BL_{i+1} と電圧 VBL_2 が電氣的に接続される。

【0039】信号 RST 、 SEN_1 、 SEN_2 、 RD_1 、 RD_2 、 PRO_1 、 PRO_2 、 $PRST$ 、 BLC_1 、 BLC_2 、 PRE_1 、 PRE_2 、電圧 VRP 、 VBL_1 、 VBL_2 は、制御信号および制御電圧発生回路7の出力信号で、図2に示されるデータ記憶回路10の全てに共通である。データ入出力線 IOL 、 IOU はデータ入出力バッファ4に接続され、図2に示されるデータ記憶回路10の全てに共通である。電圧 VCC は電源電圧で例えば3.3Vである。

【0040】第1および第2のサブデータ回路20、21は、“0”あるいは“1”のサブデータを記憶する一方、それぞれセンス回路としてビット線信号の“H”レベルに応答し記憶されている“1”のサブデータを“0”のサブデータに変更し、“0”のサブデータを保持するよう構成されている。また、第1および第2のサブデータ回路20、21は、“0”あるいは“1”の読み出しサブデータを記憶し、各々、ビット線信号の“H”レベルに応答して記憶されている“1”の読み出しサブデータを“0”の読み出しサブデータに変更し、“0”の読み出しサブデータを保持するよう構成されている。

【0041】即ち、図5に示される信号 SEN_1 あるい

は SEN_2 が“H”となって、このときビット線 BL の“H”レベルが n チャネルMOSトランジスタ Q_{n5} あるいは Q_{n16} のゲート電極に転送されると、 n チャネルMOSトランジスタ Q_{n5} あるいは Q_{n16} が導通し、ノード Na_i あるいは Na_{i+1} が“L”レベルにされる。これによって、“1”のサブデータあるいは読み出しサブデータは“0”のサブデータあるいは読み出しサブデータに変更される。“0”のサブデータあるいは読み出しサブデータは、もともとノード Na_i あるいは Na_{i+1} が“L”レベルであるので変更されない。また、ビット線 BL の“L”レベルによってサブデータあるいは読み出しサブデータは、 n チャネルMOSトランジスタ Q_{n5} あるいは Q_{n16} が非導通なので変更されない。なお、第1および第2のサブデータ回路20、21は、図5に示した構成例によらず、上述したような機能を有する種々様々な回路を用いて同様に実現できる。

【0042】図6は、図1に示されたデータ検出回路9の具体的な構成例を示している。インバータ I_1 、NAND論理回路 G_1 、 G_2 、 G_3 で構成される回路で、データ記憶回路10に“1”の制御データがあるか否かを検出する。データ記憶回路10の1つでも“1”の制御データを記憶していると信号 FR_1 が“H”となる。インバータ I_2 、NAND論理回路 G_4 、 G_5 、 G_6 で構成される回路で、データ記憶回路10に“2”の制御データがあるか否かを検出する。データ記憶回路10の1つでも“2”の制御データを記憶していると信号 FR_2 が“H”となる。NAND論理回路 G_7 、 G_8 、 G_9 で構成される回路で、データ記憶回路10に“3”の制御データがあるか否かを検出する。データ記憶回路10の1つでも“3”の制御データを記憶していると信号 FR_3 が“H”となる。信号 DT が“H”のとき、データ入出力線 IOL 、 IOU を介して、データ記憶回路10の制御データを検出する。信号 $DRSTB$ が“L”となると、信号 FR_1 、 FR_2 、 FR_3 は“L”にリセットされる。信号 DT 、 $DRSTB$ は制御信号および制御電圧発生回路7の出力信号である。信号 FR_1 、 FR_2 、 FR_3 は制御信号および制御電圧発生回路7にフィードバックされる。

【0043】図7は、メモリセルに記憶されている4値データの読み出し動作を示している。ここでは、ビット線 BL_0 、 BL_2 、…、 BL_i 、…、 BL_{4222} が選択され（代表として BL_i を示す）、ワード線 WL_2 が選択されている場合を示す。記憶レベルを3レベルに限定すれば容易に3値記憶が実施できる。電圧 VBL_1 、 VBL_2 は読み出しの間0Vである。

【0044】まず、信号 BLC_1 が“H”となってビット線 BL_i は選択される（ t_1 ）。信号 RST によって第1および第2のサブデータ回路20、21には“1”のそれぞれ第1および第2の読み出しサブデータが設定

される(t1～t2)。電圧VRPが電源電圧VCCとなる(t1)。

【0045】信号PRE1が“L”となってビット線BLiと電圧VBL1が切り離される(t3)。信号PRO2が“H”となって(t3)、ビット線BLiは第2のサブデータ回路21によって“H”レベルに充電される(t3～t4)。ついで、選択されたブロックの選択ゲートSG1とSG2、および非選択ワード線WL1、3、4が電源電圧VCCにされ、選択ワード線WL2が1.8Vにされる(t4)。ここで、メモリセルMに記憶されているデータとしきい値の関係を表1に示す。

【0046】

【表1】

メモリセルのデータ	メモリセルのしきい値
0	0V以下
1	0.4V～0.8V
2	1.2V～1.6V
3	2.0V～2.4V

【0047】選択ワード線WL2が1.8Vになると、メモリセルが“3”データを記憶している場合のみビット線BLiは“H”のままである(図7の(1))。それ以外の場合はビット線BLiは“L”となる(図7の(2))。続いて、信号SEN1とSEN2を“H”にし変調されたビット線BLiの電圧をセンスして読み出す(t5～t6)。メモリセルが“3”データを記憶している場合のみ、第1および第2のサブデータ回路20、21の第1および第2の読み出しサブデータはともに“0”となる。それ以外の場合は、第1および第2の読み出しサブデータは“1”のままである。

【0048】信号PRE1が“H”となって(t6～t7)、ビット線BLiは0Vにリセットされる。その後信号PRO2が“H”となって(t7～t8)、第2の読み出しサブデータが“1”の場合のみ、電圧VRPによってビット線BLiは“H”レベルに充電される(t7～t8)。ビット線BLiは第2のサブデータ回路21に記憶されている第2の読み出しサブデータが“0”の場合は、“L”レベルのままである(図7の(5))。ついで、選択されたブロックの選択ゲートSG1とSG2、および非選択ワード線WL1、3、4が電源電圧VCCにされ、選択ワード線WL2が1.0Vにされる(t8)。

【0049】選択ワード線WL2が1.0Vになると、メモリセルが“2”データを記憶している場合のみビット線BLiは“H”のままである(図7の(3))。メモリセルが“1”あるいは“0”データを記憶している場合はビット線BLiは“L”となる(図7の(4))。続いて、信号SEN2を“H”にし変調されたビット線BLiの電圧をセンスして読み出す(t9～t10)。メモリセルが“2”データを記憶している場

合のみ、第2の読み出しサブデータは“1”から“0”となる。メモリセルが“1”あるいは“0”データを記憶している場合は、第2の読み出しサブデータは“1”のままである。メモリセルが“3”データを記憶している場合は、すでに第2の読み出しサブデータは“0”である。

【0050】信号PRE1が“H”となって(t10～t11)、ビット線BLiは0Vにリセットされる。その後信号PRO2が“H”となって(t11～t12)、第2の読み出しサブデータが“1”の場合のみ、電圧VRPによってビット線BLiは“H”レベルに充電される(t11～t12)。ビット線BLiは第2のサブデータ回路21に記憶されている第2の読み出しサブデータが“0”の場合は、“L”レベルのままである(図7の(8))。ついで、選択されたブロックの選択ゲートSG1とSG2、および非選択ワード線WL1、3、4が電源電圧VCCにされ、選択ワード線WL2が0Vにされる(t12)。

【0051】選択ワード線WL2が0Vになると、メモリセルが“1”データを記憶している場合のみビット線BLiは“H”のままである(図7の(6))。メモリセルが“0”データを記憶している場合はビット線BLiは“L”となる(図7の(7))。続いて、信号SEN1を“H”にし変調されたビット線BLiの電圧をセンスして読み出す(t13～t14)。メモリセルが“1”データを記憶している場合のみ、第1の読み出しサブデータは“1”から“0”となる。メモリセルが“0”データを記憶している場合は、第1の読み出しサブデータは“1”のままである。メモリセルが“3”データを記憶している場合は、すでに第1の読み出しサブデータは“0”である。メモリセルが“2”データを記憶している場合は、ビット線BLiの電圧がメモリセルによらず“L”であるので第1の読み出しサブデータは“1”のままである。

【0052】信号CSLiとCSLi+1が“H”になると、第1の読み出しサブデータは、データ入出力線IOLに出力されてデータ出力バッファ4を介してデータ入出力端子5から、外部へ出力される。また、第2の読み出しサブデータは、データ入出力線IOUに出力されてデータ出力バッファ4を介してデータ入出力端子5から、外部へ出力される。カラムデコード3によって選択された信号CSLiに従って、任意のカラム番地の第1と第2の読み出しサブデータが出力できる。

【0053】読み出し動作中、非選択ビット線BLi+1は、電圧VBL2によって固定される。ここでは0Vである。表2に、メモリセルの4値データと第1および第2の読み出しサブデータの関係を示す。

【0054】

【表2】

メモリセルのデータ	第1の読み出し サブデータ	第2の読み出し サブデータ
0	1	1
1	0	1
2	1	0
3	0	0

【0055】図8は、データ記憶回路10への制御データの初期設定と書き込み動作を示している。ここでは、ビット線BL0、BL2、…、BLi、…、BL422が選択され（代表としてBLiを示す）、ワード線WL2が選択されている場合を示す。記憶レベルを3レベルに限定すれば容易に3値記憶が実施できる。

【0056】ビット線BLiに備えられたデータ記憶回路10への制御データの初期設定は次のように行われる。第1のサブデータ回路20の初期サブデータがデータ入出力線IOLに転送され、信号CSLiが“H”に

なっており、第1のサブデータ回路20に初期サブデータが記憶される。同時に、第2のサブデータ回路21の初期サブデータがデータ入出力線IOUに転送され、信号CSLi+1が“H”になって、第2のサブデータ回路21に初期サブデータが記憶される。このとき、初期制御データと初期サブデータの関係は、以下の表3に示される。

【0057】

【表3】

初期の制御データ	第1のサブデータ回路の 初期サブデータ	第2のサブデータ回路の 初期サブデータ
0	0	0
1	1	0
2	0	1
3	1	1

【0058】ここで、全ての初期制御データ設定以前に、信号PRSTを“H”にして全てのデータ記憶回路10の制御データを“0”にプリセットしておくことが望ましい。後ほど説明するように制御データ“0”によってメモリセルMの状態は変化させられないので、2112個のデータ記憶回路10の内、所望のデータ記憶回路10のみに外部から初期制御データを設定すればよい。もちろん2112個全部のデータ記憶回路10に初期制御データを外部から設定してもよい。

【0059】書き込み動作では、まず、信号BLC1が“H”となってビット線BLiは選択される（t1）。信号DRSTBが“L”となってデータ検出回路9はリセットされる（t1～t2）。電圧VBL1がVCCとなって、nチャネルMOSTランジスタQn11を介して、選択ビット線BLiはVCCに充電され、その後信号PRE1が“L”となって、選択ビット線BLiはフローティングにされる（t2～t3）。また、電圧VBL2がVCCとなって、nチャネルMOSTランジスタQn22を介して、非選択ビット線BLi+1をVCCに充電する（t2～t3）。また、選択ゲートSG1とワード線WL1～4がVCCにされる（t2～t3）。

【0060】信号PRO1とPRO2が“H”となって、第1あるいは第2のサブデータのどちらか1つが“1”であれば、nチャネルMOSTランジスタQn9がQn20によって選択ビット線BLiは0Vにされる（t3）。この結果、ビット線BLiは、制御データが“0”の場合VCCに、制御データが“1”、“2”あ

るいは“3”の場合0Vになる。選択ワード線WL2が20V、非選択ワード線が10Vにされてメモリセルの浮遊ゲートへの電子注入が制御データに応じて始まる（t3）。ビット線BLが0Vの場合、メモリセルのチャネルとワード線間の電位差が20Vで電子注入が起こる。ビット線BLがVCCの場合、メモリセルのチャネルとワード線間の電位差が小さいため電子注入が実質的に起こらない。

【0061】選択ワード線WL2が20Vにされている間（t3～t7）、データ記憶回路10に記憶されている制御データが検出される。カラムデコード3によってCSL0とCSL1からCSL4222とCSL4223まで順に選択され、データ入出力線IOLとIOUを介して、制御データはデータ検出回路9に伝えられる。例として、CSLiとCSLi+1が選択された場合が図8に示されている。CSLiとCSLi+1が“H”となって（t4～t5）、データ入出力線IOLとIOUに制御データが出力され、信号DTが“H”となるとデータ検出回路9で制御データが検出される（t5～t6）。もし、データ記憶回路10のうち1つでもデータ“1”を記憶していると、信号FR1が“H”となる。もし、データ記憶回路10のうち1つでもデータ“2”を記憶していると、信号FR2が“H”となる。もし、データ記憶回路10のうち1つでもデータ“3”を記憶していると、信号FR3が“H”となる。

【0062】ワード線WL1～4がVCCに落とされた（t7～t8）後、電圧VBL2が0V、信号PRE1

が“H”となってビット線BL_iとBL_i+1は0Vにリセットされる(t8~t9)。電圧VBL₁は0Vである。またワード線WL₁~4も0Vにリセットされる(t8~t9)。

【0063】図9は、図8に示される時間t1~t9で行われる書き込み動作後の、メモリセルの書き込み状態を検出する書き込みベリファイ動作を示している。ここでは、ビット線BL₀、BL₂、…、BL_i、…、BL₄₂₂₂が選択され(代表としてBL_iを示す)、ワード線WL₂が選択されている場合を示す。電圧VBL₁とVBL₂は0Vである。記憶レベルを3レベルに限定すれば容易に3値記憶が実施できる。

【0064】まず、信号PRE₁が“L”となってビット線BL_iと電圧VBL₁が切り離され、ビット線BL_iは0Vのフローティング状態となる(t1)。同時に、信号BLC₁が“H”となってビット線BL_iは選択される(t1)。

【0065】電圧VRPが電源電圧VCCとなって(t2)、信号PRO₂が“H”となると(t3)、“3”および“2”の制御データを記憶しているデータ記憶回路10に対応するビット線BL_iは、nチャネルMOSトランジスタQn₂₀によって、“H”レベルに充電される(t3~t4)。“1”および“0”の制御データを記憶しているデータ記憶回路10に対応するビット線BL_iは、“L”レベルのままである。ついで、選択されたブロックの選択ゲートSG₁とSG₂、および非選択ワード線WL₁、3、4が電源電圧VCCにされ、選択ワード線WL₂が2Vにされる(t4)。選択ワード線WL₂が2.0Vになると、“3”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“3”データを記憶している状態に達していればビット線BL_iは“H”のままである(図9の(1))。

“3”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“3”データを記憶している状態に達していなければビット線BL_iは“L”になる(図9の(2))。“2”の制御データを記憶しているデータ記憶回路10に対応するメモリセルは“3”データを記憶している状態に達しないのでビット線BL_iは“L”になる(図9の(2))。“1”および“0”の制御データを記憶しているデータ記憶回路10に対応するビット線BL_iは“L”のままである(図9の(3))。続いて、信号SEN₁とSEN₂を“H”にし変調されたビット線BL_iの電圧をセンスして読み出す(t5~t6)。“3”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“3”データを記憶している状態に達している場合のみ、第1および第2のサブデータ回路20、21の第1および第2のサブデータはともに“0”となって、制御データは“0”に変更される。それ以外の場合は、第1および第2のサブデータは保持される。時間t2からt6までが

データ“3”のベリファイ読み出しである。

【0066】信号PRO₁とRD₁が“H”となって(t7)、“2”および“0”の制御データを記憶しているデータ記憶回路10に対応するビット線BL_iは、第1のサブデータ回路20によって、“H”レベルに充電される(t7~t8)。“3”および“1”の制御データを記憶しているデータ記憶回路10に対応するビット線BL_iは、第1のサブデータ回路20によって、“L”レベルにされる(t7~t8)。ついで、選択されたブロックの選択ゲートSG₁とSG₂、および非選択ワード線WL₁、3、4が電源電圧VCCにされ、選択ワード線WL₂が1.2Vにされる(t8)。選択ワード線WL₂が1.2Vになると、“2”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“2”データを記憶している状態に達していればビット線BL_iは“H”のままである(図9の(4))。

“2”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“2”データを記憶している状態に達していなければビット線BL_iは“L”になる(図9の(5))。“0”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“2”または“3”データを記憶している状態に達していればビット線BL_iは“H”のままである(図9の(4))。

“0”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“2”データを記憶している状態に達していなければビット線BL_iは“L”になる(図9の(5))。“3”および“1”の制御データを記憶しているデータ記憶回路10に対応するビット線BL_iは“L”のままである(図9の(6))。続いて、信号SEN₂を“H”にし変調されたビット線BL_iの電圧をセンスして読み出す(t9~t10)。“2”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“2”データを記憶している状態に達している場合のみ、第2のサブデータ回路21の第2のサブデータは“0”となって、制御データは“0”に変更される。それ以外の場合は、第2のサブデータは保持される。時間t7からt10までがデータ“2”のベリファイ読み出しである。

【0067】信号PRO₂とRD₂が“H”となって(t11)、“1”および“0”の制御データを記憶しているデータ記憶回路10に対応するビット線BL_iは、第2のサブデータ回路21によって、“H”レベルに充電される(t11~t12)。“3”および“2”の制御データを記憶しているデータ記憶回路10に対応するビット線BL_iは、第2のサブデータ回路21によって、“L”レベルにされる(t11~t12)。ついで、選択されたブロックの選択ゲートSG₁とSG₂、および非選択ワード線WL₁、3、4が電源電圧VCCにされ、選択ワード線WL₂が0.4Vにされる(t12)。選択ワード線WL₂が0.4Vになると、“1”

の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“1”データを記憶している状態に達していればビット線BLiは“H”のままである(図9の(7))。“1”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“1”データを記憶している状態に達していなければビット線BLiは“L”になる(図9の(8))。“0”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“1”または“2”または“3”データを記憶している状態に達していればビット線BLiは“H”のままである(図9の(7))。“0”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“1”データを記憶している状態に達していなければビット線BLiは“L”になる(図9の(8))。“3”および“2”の制御データを記憶しているデータ記憶回路10に対応するビット線BLiは“L”のままである(図9

の(9))。続いて、信号SEN1を“H”にし変調されたビット線BLiの電圧をセンスして読み出す(t13~t14)。“1”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“1”データを記憶している状態に達している場合のみ、第1のサブデータ回路20の第1のサブデータは“0”となって、制御データは“0”に変更される。それ以外の場合は、第1のサブデータは保持される。時間t11からt14までがデータ“1”のベリファイ読み出しである。

【0068】時間t15で、信号PRE1を“H”、BLC1を“L”にして書き込みベリファイは終了する。書き込みベリファイ動作で、メモリセルの書き込み状態からデータ記憶回路10に記憶されている制御データが表4のように変更される。

【0069】

【表4】

メモリセル 書き込み状態	書き込みベリファイ前の 制御データ	書き込みベリファイ後の 制御データ
0、1、2または3	0	0
1未達	1	1
1	1	0
2未達	2	2
2	2	0
3未達	3	3
3	3	0

【0070】従って、図8のt1~t9に示される書き込み動作と図9に示される書き込みベリファイ動作を、全ての制御データが“0”になるまで繰り返すことで、メモリセルMへのデータ書き込み(プログラム)が行われる。ただし実際には、データ“3”のベリファイ読み出し、データ“2”のベリファイ読み出し、データ“1”のベリファイ読み出しは、以下のように選択的に実行する。

(1) データ“3”のベリファイ読み出し、データ“2”のベリファイ読み出し、データ“1”のベリファイ読み出し全てを実行するには、図9に示された通り書き込みベリファイ動作を行う。

(2) データ“3”のベリファイ読み出し、データ“2”のベリファイ読み出しのみを実行するには、図9に示されたタイミングチャートから、時間t11~t14を省略する。

(3) データ“3”のベリファイ読み出し、データ“1”のベリファイ読み出しのみを実行するには、図9に示されたタイミングチャートから、時間t7~t10を省略する。

(4) データ“3”のベリファイ読み出しのみを実行するには、図9に示されたタイミングチャートから、時間t7~t14を省略する。

(5) データ“2”のベリファイ読み出し、データ“1”のベリファイ読み出しのみを実行するには、図9

に示されたタイミングチャートから、時間t2~t6を省略する。

(6) データ“2”のベリファイ読み出しのみを実行するには、図9に示されたタイミングチャートから、時間t2~t6とt11~t14を省略する。

(7) データ“1”のベリファイ読み出しのみを実行するには、図9に示されたタイミングチャートから、時間t2~t10を省略する。

【0071】図10は、本発明の第1の実施の形態において、多値メモリに対するプログラムの詳細な流れを示している。このプログラムの流れは、図1に示される制御信号および制御電圧発生回路7で制御される。

【0072】制御信号入力端子8に入力されたプログラムスタートの命令でプログラムは始まる。制御信号および制御電圧発生回路7内に設けられる変数IWTをカウントするカウンタ回路がリセットされIWTは0にされる(S1)。データ入出力端子5に入力された4224ビット分の初期制御データがデータ記憶回路10にロードされる(S2)。

【0073】データロード後、書き込み動作が行われ、このとき、変数IWTは1だけインクリメントされる(S3)。データ検出回路9の出力FR3が“H”か否かが調べられる(S4)。データ検出回路9の出力FR3が“H”でデータ“3”がデータ記憶回路10に残っていれば、変数IWTが予め決められたW3以上か否か

が調べられる(S5)。変数IWTがW3以上なら、データ“3”のペリフェイ読み出しが行われる(S6)。FR3が“L”あるいは変数IWTがW3より小さければ、データ“3”のペリフェイ読み出しは省略される。

【0074】続いて、データ検出回路9の出力FR2が“H”か否かが調べられる(S7)。データ検出回路9の出力FR2が“H”でデータ“2”がデータ記憶回路10に残っていれば、変数IWTが予め決められたW2以上か否かが調べられる(S8)。変数IWTがW2以上なら、データ“2”のペリフェイ読み出しが行われる(S9)。FR2が“L”あるいは変数IWTがW2より小さければ、データ“2”のペリフェイ読み出しは省略される。

【0075】続いて、データ検出回路9の出力FR1が“H”か否かが調べられる(S10)。データ検出回路9の出力FR1が“H”でデータ“1”がデータ記憶回路10に残っていれば、変数IWTが予め決められたW1以上か否かが調べられる(S11)。変数IWTがW1以上なら、データ“1”のペリフェイ読み出しが行われる(S12)。FR1が“L”あるいは変数IWTがW1より小さければ、データ“1”のペリフェイ読み出しは省略される。

【0076】続いて、データ検出回路9の出力FR3、FR2、FR1の全てが“L”であればプログラム終了となる(S13、S14、S15)。データ検出回路9の出力FR3、FR2、FR1のうち1つでも“H”があれば、再度、書き込み動作(S3)にもどる。変数IWTが1つ増えるごとに選択されたワード線に印加される書き込み時の電圧(図8に示される時間 t_3 から t_7 の間の選択ワード線の電圧)は0.4Vずつ増加され、“1”、“2”、“3”書き込みされるメモリセルMのしきい値はほぼ0.4Vずつ上昇していく。予め決められるW1、W2、W3は、次のようにして決められる。

【0077】図11はメモリセルMの書き込み特性の例を示している。横軸は書き込み動作回数IWTである。縦軸は、書き込み動作回数IWT後の最も書き込み易いメモリセル(白丸)と最も書き込み難いメモリセル(黒丸)のしきい値を示している。最も書き込み易いメモリセルのしきい値は、1回目の書き込み動作後に0.1Vに達する。このとき最も書き込み難いメモリセルのしきい値は-1.5Vである。書き込み動作回数が1つ増えるごとに選択ワード線の書き込み時の電圧が0.4Vずつ増えるので、メモリセルのしきい値もほぼ0.4Vずつ上昇する。

【0078】1回目の書き込み動作後では、どのメモリセルのしきい値も0.4Vに達しないので、データ“3”、データ“2”、データ“1”のペリフェイ読み出しの全ては必要ない。2回目以降では、最も書き込み易いメモリセルのしきい値は、0.4Vを越えるので、データ“1”のペリフェイ読み出しが必要となる。よっ

て、W1は2と予め決められる。4回目以降では、最も書き込み易いメモリセルのしきい値は、1.2Vを越えるので、データ“2”のペリフェイ読み出しが必要となる。よって、W2は4と予め決められる。6回目以降では、最も書き込み易いメモリセルのしきい値は、2.0Vを越えるので、データ“3”のペリフェイ読み出しが必要となる。よって、W3は6と予め決められる。

【0079】6回目の書き込み動作後には、最も書き込み難いメモリセルのしきい値でさえ0.4Vを越える。よって、少なくともIWT=7以降、データ検出回路の出力FR1は“L”となり、データ“1”のペリフェイ読み出しは最早必要がない。8回目の書き込み動作後には、最も書き込み難いメモリセルのしきい値でさえ1.2Vを越える。よって、少なくともIWT=9以降、データ検出回路の出力FR2は“L”となり、データ“2”のペリフェイ読み出しは最早必要がない。10回目の書き込み動作後には、最も書き込み難いメモリセルのしきい値でさえ2.0Vを越える。よって、少なくともIWT=11以降、データ検出回路の出力FR3は“L”となる。こうしてFR1、FR2、FR3が全て“L”となれば、図10に示される通りプログラムが終了する。

【0080】図12は、図1に示されたデータ検出回路9の変形例を示している。図2に示されるデータ記憶回路10のそれぞれに隣接あるいは近接して、nチャネルMOSTランジスタ Q_{n23} 、 Q_{n24} 、 Q_{n25} 、 Q_{n26} 、 Q_{n27} 、 Q_{n28} 、 Q_{n29} 、 Q_{n30} が設けられる。 Q_{n23} のゲート電極には、図5に示される第2のサブデータ回路21のノード N_{ai+1} が接続される。 Q_{n24} のゲート電極には、図5に示される第1のサブデータ回路20のノード N_{ai} が接続される。 Q_{n25} のゲート電極には、図5に示される第2のサブデータ回路21のノード N_{bi+1} が接続される。 Q_{n26} のゲート電極には、図5に示される第1のサブデータ回路20のノード N_{ai} が接続される。 Q_{n27} のゲート電極には、図5に示される第2のサブデータ回路21のノード N_{bi+1} が接続される。 Q_{n28} のゲート電極には、図5に示される第1のサブデータ回路20のノード N_{bi} が接続される。 Q_{n29} のゲート電極には、図5に示される第2のサブデータ回路21のノード N_{ai+1} が接続される。 Q_{n30} のゲート電極には、図5に示される第1のサブデータ回路20のノード N_{ai} が接続される。

【0081】インバータI3に入力されるDECBが“L”となり、インバータI4、I5の出力PTが“H”であれば、全てのデータ記憶回路10の制御データは“0”である。インバータI6に入力されるDEC1Bが“L”となり、インバータI7の出力FR1が“H”であれば、少なくとも1つのデータ記憶回路10の制御データは“1”である。インバータI8に入力さ

れるDEC2Bが“L”となり、インバータI9の出力FR2が“H”であれば、少なくとも1つのデータ記憶回路10の制御データは“2”である。インバータI10に入力されるDEC3Bが“L”となり、インバータI11の出力FR3が“H”であれば、少なくとも1つのデータ記憶回路10の制御データは“3”である。信号DECB、DEC1B、DEC2B、DEC3Bは、制御信号および制御電圧発生回路7からの信号である。信号PT、FR1、FR2、FR3は制御信号および制御電圧発生回路7にフィードバックされる。この図12に示されるデータ検出回路9により、一括して高速にデータ検出が行える。このため、図8に示したように書き込み動作時ではなく、データ“3”のベリファイ読み出しの直前(図9に示された時間t1~t2)に信号DEC3Bを“L”にして信号FR3を調べればよい。同様に、データ“2”のベリファイ読み出しの直前(図9に示された時間t6~t7)に信号DEC2Bを“L”にして信号FR2を調べればよい。データ“1”のベリファイ読み出しの直前(図9に示された時間t10~t11)に信号DEC1Bを“L”にして信号FR1を調べればよい。また、図9に示した書き込みベリファイ動作後に、信号DECBを“L”にして、信号PTを調べれば、図10のステップS13、S14、S15が1ステップで行える。よって、無駄な1回分の書き込み動作が不要となり、より高速にプログラムできる。

【0082】図13は、図12に示したデータ検出回路9を使用した場合のプログラムの流れを示している。ステップS4、S7、S10は、それぞれ信号DEC3B、DEC2B、DEC1Bを“L”として、信号FR3、FR2、FR1を調べることで実行される。ステップS13は、信号DECBを“L”として、信号PTを調べることで実行される。そのほかは、図10に示した流れと同じである。

【0083】次に図14は、本発明の第2の実施の形態において、図1に示されたメモリセルアレイ1およびビット線制御回路2の具体的な構成例を説明するための回路図である。なおここでは、多値メモリとして4値記憶EEPROMの例を示す。

【0084】本発明の第2の実施の形態の多値メモリにおいては、データ記憶回路10中の第1のサブデータ回路20が、クロック同期式インバータCI1とCI2、およびnチャンネルMOSTランジスタQn33、Qn34、Qn35で構成される。また第2のサブデータ回路21が、クロック同期式インバータCI3とCI4、およびnチャンネルMOSTランジスタQn40、Qn41、Qn42で構成される。これら第1および第2のサブデータ回路20、21は、それぞれ書き込み時に第1および第2のサブデータを記憶し、それぞれ読み出し時に第1および第2の読み出しサブデータを記憶する。第1のサブデータ回路20内のノードNaiが“H”レベ

ルである状態は第1のサブデータ回路20が“1”の第1の読み出しサブデータあるいは“1”の第1のサブデータを記憶している状態である。また、第2のサブデータ回路21内のノードNai+1が“H”レベルである状態は第2のサブデータ回路21が“1”の第2の読み出しサブデータあるいは“1”の第2のサブデータを記憶している状態である。第1のサブデータ回路20内のノードNaiが“L”レベルの状態は、第1のサブデータ回路20が“0”の第1の読み出しサブデータあるいは“0”の第1のサブデータを記憶している状態である。第2のサブデータ回路21内のノードNai+1が“L”レベルの状態は、第2のサブデータ回路21が“0”の第2の読み出しサブデータあるいは“0”の第2のサブデータを記憶している状態である。

【0085】nチャンネルMOSTランジスタQn32およびQn39は第1および第2のサブデータ回路20、21とそれぞれデータ入出力線IOL、IOUを電氣的に接続するためのものである。それぞれのゲート電極には、カラムデコーダ3からの出力CSLiおよびCSLi+1がそれぞれ与えられる。例えば、CSLiが“H”になると、ビット線BLiとBLi+1に設けられたデータ記憶回路10の第1のサブデータ回路20とデータ入出力線IOLが電氣的に接続される。データ入出力線IOL、IOUはデータ入出力バッファ4に接続されていて、この第1のサブデータ回路20にサブデータを設定することができる。あるいは、この第1のサブデータ回路20の読み出しサブデータをデータ入出力バッファ4に出力することができる。

【0086】nチャンネルMOSTランジスタQn36およびQn43は、第1および第2のサブデータ回路20、21とビット線BLiあるいはBLi+1の電氣的接続を制御する。信号BLC1が“H”でBLC2が“L”であれば、第1および第2のサブデータ回路20、21とビット線BLiが電氣的に接続される。信号BLC1が“L”でBLC2が“H”であれば、第1および第2のサブデータ回路20、21とビット線BLi+1が電氣的に接続される。

【0087】nチャンネルMOSTランジスタQn37およびQn44は、ビット線BLiと電圧VBL1の電氣的接続、ビット線BLi+1と電圧VBL2の電氣的接続を制御する。信号PRE1が“H”であれば、ビット線BLiと電圧VBL1が電氣的に接続される。信号PRE2が“H”であれば、ビット線BLi+1と電圧VBL2が電氣的に接続される。

【0088】nチャンネルMOSTランジスタQn31およびQn38は、信号PRSTが“H”となって第1および第2のサブデータ回路20、21に“0”のサブデータを設定するためのものである。

【0089】ビット線BLiあるいはBLi+1を介してメモリセルMのデータあるいは書き込み状態を示す信

号が転送される。第1のサブデータ回路20ではクロック同期式インバータC I 1が、第2のサブデータ回路21ではクロック同期式インバータC I 3が、ビット線BLの信号の論理レベルをセンスするセンスアンプとしても働く。この例では、クロック同期式インバータがビット線BLの電圧の絶対値を論理レベルとしてセンスするが、差動型（ディファレンシャル）センスアンプなどを用いてもよく、その場合は、参照（リファレンス）電圧との差を論理レベルとして検出する。

【0090】図14に示されたクロック同期式インバータC Iの具体的な構成は、図15（a）、（b）に示されている。図15（a）はシンボル図であり、図15（b）はその詳細な回路図である。nチャネルMOSトランジスタQ n 45とpチャネルMOSトランジスタQ p 8で構成されるインバータ回路の入力端子がINで出力端子OUTである。このインバータ回路を信号CLOCKとその反転信号CLOCKBによって活性化したり非活性化するためnチャネルMOSトランジスタQ n 46とpチャネルMOSトランジスタQ p 7が設けられている。信号CLOCKが“H”、CLOCKBが“L”で活性化され、信号CLOCKが“L”、CLOCKBが“H”で非活性化される。

【0091】信号SEN1、LAT1、SEN2、LAT2、PRO1、PRO2、BLC1、BLC2、PRE1、PRE2、VRFY1、VRFY2、PRST、電圧VBL1、VBL2、VREG、VFFは、制御信号および制御電圧発生回路7の出力信号で、図2に示されるデータ記憶回路10の全てに共通である。電圧VCCは電源電圧で例えば3.3Vである。

【0092】第1および第2のサブデータ回路20、21は、“0”あるいは“1”のサブデータを記憶し、それぞれビット線信号の“H”レベルに回答して記憶されている“1”のサブデータを“0”のサブデータに変更し、“0”のサブデータを保持するよう構成されている。即ち、信号PRO1あるいはPRO2が“H”となってビット線BLの電圧レベルがクロック同期式インバータC I 1あるいはC I 3でセンスされる前に、第1あるいは第2のサブデータに応じて、ビット線BLの電圧レベルがnチャネルMOSトランジスタQ n 34、35あるいはQ n 41、42によって調整される。第1あるいは第2のサブデータが“0”の場合のみ、ビット線BLの電圧レベルは“H”にされる。信号PRO1あるいはPRO2が“H”となって、このときビット線の“H”レベルがクロック同期式インバータC I 1あるいはC I 3の入力端子に転送されると、ノードN a iあるいはN a i + 1が“L”レベルにされる。さらに、クロック同期式インバータC I 2あるいはC I 4によって、“0”のサブデータが記憶される。

【0093】従って、もともと記憶されている“0”のサブデータは変更されない。一方、もともと記憶されて

いるサブデータが“1”の場合は、ビット線BLのレベルが“H”の時“0”のサブデータに変更され記憶され、ビット線BLのレベルが“L”の時“1”のサブデータを保持する。なお、第1および第2のサブデータ回路20、21は、図14に示した構成例によらず、上述したような機能を有する種々様々な回路を用いて同様に実現できる。

【0094】図16および図17は、メモリセルに記憶されている4値データの読み出し動作を示している。ここでは、ビット線BL0、BL2、…、BL i、…、BL 4222が選択され（代表としてBL iを示す）、ワード線WL2が選択されている場合を示す。記憶レベルを3レベルに限定すれば容易に3値記憶が実施できる。またここでは、電圧VBL2は0V、BLC2は“L”、PRE2は“H”、PRSTは“L”、ビット線BL i + 1は0Vのままなので図16への表示を省略している。

【0095】まず、電圧VBL1が1.3Vとなってビット線BL iが“H”に充電される（t1）。また、信号BLC1が“H”となってビット線BL iが選択される（t1）。電圧VFFは、センスアンプとして動作するクロック同期式インバータC I 1とC I 3のセンス感度を安定させるため2Vに固定される。続いて信号PRE1が“L”となってビット線BL iと電圧VBL1が切り離される。ついで、選択されたブロックの選択ゲートSG1とSG2、および非選択ワード線WL1、3、4が電源電圧VCCにされ、選択ワード線WL2が1.8Vにされる（t2）。ここで、メモリセルMに記憶されているデータとしきい値の関係を表5に示す。

【0096】

【表5】

メモリセルのデータ	メモリセルのしきい値
0	0V以下
1	0.4V～0.8V
2	1.2V～1.6V
3	2.0V～2.4V

【0097】選択ワード線WL2が1.8Vになると、メモリセルが“3”データを記憶している場合のみビット線BL iは“H”のままである。それ以外の場合はビット線BL iは“L”となる。選択ゲートSG1、SG2、ワード線WL1～WL4が0Vにリセットされた（t3）後、信号SEN2とLAT2が“L”になってクロック同期式インバータC I 3とC I 4は非活性化される（t4）。信号PRO2が“H”になって（t5）、信号SEN2が“H”になる（t6）とクロック同期式インバータC I 3が活性化され、ビット線BL iの電圧がセンスされる。信号LAT1が“H”になる（t7）とクロック同期式インバータC I 4が活性化され、センスされたビット線BL iの信号の論理レベルが

ラッチされる。信号PRO1が“L”となって(t8)メモリセルMのしきい値が1.8V以上かどうかを検出する動作が終わる。メモリセルが“3”データを記憶している場合のみ、第2のサブデータ回路21の第1の読み出しサブデータは“0”となる。それ以外の場合は、第2の読み出しサブデータは“1”である。

【0098】続いてメモリセルMのしきい値が0.0V以上かどうかを検出する動作に入る。電圧VBL1が1.3Vとなって(t8)、信号PRE1が“H”となるとビット線BLiが“H”に充電される(t9)。続いて信号PRE1が“L”となってビット線BLiと電圧VBL1が切り離される。ついで、選択されたブロックの選択ゲートSG1とSG2、および非選択ワード線WL1、3、4が電源電圧VCCにされ、選択ワード線WL2が0.0Vにされる(t10)。同時に、信号VRFY2が1.3Vにされ、nチャネルMOSTランジスタQn41が導通する。これによって、第2の読み出しサブデータが“0”の場合のみ、ビット線BLiの電位は、nチャネルMOSTランジスタQn41、Qn42によって“L”になる(t10～t11)。

【0099】選択ワード線WL2が0.0Vになると、メモリセルが“1”あるいは“2”データを記憶している場合のみビット線BLiは“H”のままである。それ以外の場合はビット線BLiは“L”となる。選択ゲートSG1、SG2、ワード線WL1～WL4が0Vにリセットされた(t11)後、信号SEN1とLAT1が“L”になってクロック同期式インバータCI1とCI2は非活性化される(t12)。信号PRO1が“H”になって(t13)、信号SEN1が“H”になる(t14)とクロック同期式インバータCI1が活性化され、ビット線BLiの電圧がセンスされる。信号LAT1が“H”になる(t15)とクロック同期式インバータCI2が活性化され、センスされたビット線BLiの信号の論理レベルがラッチされる。信号PRO1が“L”となって(t16)メモリセルMのしきい値が0.0V以上かどうかを検出する動作が終わる。メモリセルが“1”あるいは“2”データを記憶している場合のみ、第1のサブデータ回路20の第1の読み出しサブデータは“0”となる。それ以外の場合は、第1の読み出しサブデータは“1”である。

【0100】続いてメモリセルMのしきい値が1.0V

以上かどうかを検出する動作に入る。電圧VBL1が1.3Vとなって(t16)、信号PRE1が“H”となるとビット線BLiが“H”に充電される(t17)。続いて信号PRE1が“L”となってビット線BLiと電圧VBL1が切り離される。ついで、選択されたブロックの選択ゲートSG1とSG2、および非選択ワード線WL1、3、4が電源電圧VCCにされ、選択ワード線WL2が1.0Vにされる(t18)。

【0101】選択ワード線WL2が1.0Vになると、メモリセルが“3”あるいは“2”データを記憶している場合のみビット線BLiは“H”のままである。それ以外の場合はビット線BLiは“L”となる。選択ゲートSG1、SG2、ワード線WL1～WL4が0Vにリセットされた(t19)後、信号SEN2とLAT2が“L”になってクロック同期式インバータCI3とCI4は非活性化される(t20)。信号PRO2が“H”になって(t21)、信号SEN2が“H”になる(t22)とクロック同期式インバータCI3が活性化され、ビット線BLiの電圧がセンスされる。信号LAT2が“H”になる(t23)とクロック同期式インバータCI4が活性化され、センスされたビット線BLiの信号の論理レベルがラッチされる。信号PRO2が

“L”となって(t24)メモリセルMのしきい値が1.0V以上かどうかを検出する動作が終わる。メモリセルが“3”あるいは“2”データを記憶している場合のみ、第2のサブデータ回路21の第2の読み出しサブデータは“0”となる。それ以外の場合は、第2の読み出しサブデータは“1”である。

【0102】信号BLC1が“L”、信号PRE1が“H”、電圧VFFがVCCとなってデータ記憶回路10へメモリセルMのデータが読み出しデータとして記憶される動作が終わる。

【0103】信号CSLi、CSLi+1が“H”になる(t26)と、第1の読み出しサブデータは、データ入出力線IOLに、第2の読み出しサブデータは、データ入出力線IOUに出力されてデータ出力バッファ4を介してデータ入出力端子5から、外部へ出力される。表6に、メモリセルの4値データと第1および第2の読み出しサブデータの関係を示す。

【0104】

【表6】

メモリセルのデータ	第1の読み出しサブデータ	第2の読み出しサブデータ
0	1	1
1	0	1
2	0	0
3	1	0

【0105】図18は、データ記憶回路10への制御データの初期設定と書き込み動作を示している。ここで

は、ビット線BL0、BL2、…、BLi、…、BL4222が選択され(代表としてBLiを示す)、ワード

線WL2が選択されている場合を示す。記憶レベルを3レベルに限定すれば容易に3値記憶が実施できる。

【0106】ビット線BLiに備えられたデータ記憶回路10への制御データの初期設定は次のように行われる。第1のサブデータ回路20の初期サブデータがデータ入出力線IOLに第2のサブデータ回路21の初期サブデータがデータ入出力線IOUに転送され、信号CSLi+1が“H”になって、第1および第2のサブデー

タ回路20、21に初期サブデータが記憶される。信号CSLの選択を変えて、任意の数のデータ記憶回路10に初期制御データは設定される。このとき、初期制御データと初期サブデータの関係は、以下の表7に示される。

【0107】

【表7】

初期の制御データ	第1のサブデータ回路の 初期サブデータ	第2のサブデータ回路の 初期サブデータ
0	0	0
1	1	0
2	1	1
3	0	1

【0108】ここで、全ての初期制御データ設定以前に、信号PRSTを“H”にして全てのデータ記憶回路10の制御データを“0”にリセットしておくことが望ましい。後ほど説明するように制御データ“0”によってメモリセルMの状態は変化させられないので、2112個のデータ記憶回路10の内、所望のデータ記憶回路10のみに外部から初期制御データを設定すればよい。もちろん2112個全部のデータ記憶回路10に初期制御データを外部から設定してもよい。信号SEN1は“H”、LAT1は“H”、VRFY1は“L”、SEN2は“H”、LAT2は“H”、VRFY2は“L”、電圧VREGは0V、VFFはVCCのままなので図18への表示は省略してある。

【0109】書き込み動作では、まず信号PRE1が“L”となってビット線BLiと電圧VBL1が切り離される(t1)。同時に、信号BLC1が“H”となってビット線BLiは選択される(t1)。また、信号DRSTBが“L”となってデータ検出回路9はリセットされる(t1～t2)。電圧VBL2がVCCとなって、nチャネルMOSトランジスタQn44を介して、非選択ビット線BLi+1をVCCに充電する(t2～t3)。また、信号PRO1が“H”となって、第1のサブデータに従って選択ビット線BLiは充電される(t2～t3)。このときビット線BLiは、制御データが“0”または“3”の場合VCCに充電され、制御データが“1”または“2”の場合0Vにされる。また、選択ゲートSG1とワード線WL1～4がVCCにされる(t2～t3)。選択ゲートSG2は0Vのままである。この後、信号PRO2が1.8Vとなって、第2のサブデータに従って選択ビット線BLiの電圧は変更される(t3)。第2のサブデータが“0”の場合、予め0Vであったビット線BLiは1.8VよりnチャネルMOSトランジスタQn40のしきい値(例えば1V)分低い0.8Vに充電される。第2のサブデータが“0”の場合、予めVCCであったビット線BLiはnチャネルMOSトランジスタQn40が非導通なのでV

CCのままである。第2のサブデータが“1”の場合、nチャネルMOSトランジスタQn40が導通なのでビット線BLiは0Vである。

【0110】この結果、ビット線BLiは、制御データが“0”の場合VCCに、制御データが“1”の場合0.8Vに、制御データが“2”の場合0Vに、制御データが“3”の場合0Vになる。選択ワード線WL2が20V、非選択ワード線が10Vにされてメモリセルの浮遊ゲートへの電子注入が制御データに応じて始まる(t3～t7)。ビット線BLが0Vの場合、メモリセルのチャネルとワード線間の電位差が20Vで電子注入が起こる。ビット線BLが0.8Vの場合、メモリセルのチャネルとワード線間の電位差が19.2Vで電子注入が起こるが、メモリセルのチャネルとワード線間の電位差が20Vの場合より少ない。ビット線BLがVCCの場合、メモリセルのチャネルとワード線間の電位差が小さいため電子注入が実質的に起こらない。

【0111】選択ワード線WL2が20Vにされている間(t3～t7)、データ記憶回路10に記憶されている制御データが検出される。カラムデコード3によってCSL0とCSL1からCSL4222とCSL4223まで順に選択され、データ入出力線IOLとIOUを介して、制御データはデータ検出回路9に伝えられる。例として、CSLiとCSLi+1が選択された場合が図18に示されている。CSLiとCSLi+1が“H”となって(t4)、データ入出力線IOLとIOUに制御データが出力され、信号DTが“H”となるとデータ検出回路9で制御データが検出される(t5～t6)。もし、データ記憶回路10のうち1つでもデータ“1”を記憶していると、信号FR1が“H”となる。もし、データ記憶回路10のうち1つでもデータ“2”を記憶していると、信号FR2が“H”となる。もし、データ記憶回路10のうち1つでもデータ“3”を記憶していると、信号FR3が“H”となる。

【0112】ワード線WL1～4がVCCに落とされた(t7～t8)後、電圧VBL2が0V、信号PRE1

が“H”となってビット線BL_iとBL_i+1は0Vにリセットされる(t₈~t₉)。電圧VBL₁は0Vである。またワード線WL₁~4も0Vにリセットされる(t₈~t₉)。

【0113】図19、図20および図21は、図18に示される時間t₁~t₉で行われる書き込み動作後の、メモリセルの書き込み状態を検出する書き込みベリファイ動作を示している。ここでは、ビット線BL₀、BL₂、…、BL_i、…、BL₄₂₂₂が選択され(代表としてBL_iを示す)、ワード線WL₂が選択されている場合を示す。記憶レベルを3レベルに限定すれば容易に3値記憶が実施できる。またここでは、電圧VBL₂は0V、BLC₂は“L”、PRE₂は“H”、PRSTは“L”、CSL_iは“L”、CSL_i+1は“L”のままで、ビット線BL_i+1が0Vのままなので図19~図21への表示を省略している。

【0114】まず、電圧VBL₁が1.3Vとなってビット線BL_iが“H”に充電される(t₁)。また、信号BLC₁が“H”となって、ビット線BL_iが選択される(t₁)。電圧VFFが2.0Vに固定される。続いて信号PRE₁が“L”となってビット線BL_iと電圧VBL₁が切り離される。ついで、選択されたブロックの選択ゲートSG₁とSG₂、および非選択ワード線WL₁、3、4が電源電圧VCCにされ、選択ワード線WL₂が2.0Vにされる(t₂)。

【0115】選択ワード線WL₂が2.0Vになると、“3”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“3”データを記憶している状態に達していればビット線BL_iは“H”のままである。“3”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“3”データを記憶している状態に達していなければビット線BL_iは“L”になる。“2”あるいは“1”の制御データを記憶しているデータ記憶回路10に対応するメモリセルは“3”データを記憶している状態に達しないのでビット線BL_iは“L”になる。選択ゲートSG₁、SG₂、ワード線WL₁~WL₄が0Vにリセットされた(t₃)後、信号VRFY₂が“H”となり、第2のサブデータが“0”の場合のみ、ビット線BL_iは“H”にされる(t₄)。ここで電圧VREGはVCCである。信号SEN₂とLAT₂が“L”になってクロック同期式インバータCI₃とCI₄は非活性化される(t₆)。信号PRO₂が“H”になって(t₇)、信号SEN₂が“H”になる(t₈)とクロック同期式インバータCI₃が活性化され、ビット線BL_iの電圧がセンスされる。信号LAT₂が“H”になる(t₉)とクロック同期式インバータCI₄が活性化され、センスされたビット線BL_iの信号の論理レベルがラッチされる。信号PRO₂が“L”となり(t₁₀)、“3”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが

“3”データを記憶している状態に達しているか否かの検出(データ“3”のベリファイ読み出し)が終了する。この時点で、“3”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“3”データを記憶している状態に達していると検出された場合のみ、“3”の制御データを記憶しているデータ記憶回路10の制御データは“0”データに変更され、そのほかの場合は、制御データは保持される(変更されない)。

【0116】続いて“2”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“2”データを記憶している状態に達しているか否かを検出する動作に入る。電圧VBL₁が1.3Vとなって(t₁₀)、信号PRE₁が“H”となりビット線BL_iが“H”に充電される(t₁₁)。続いて信号PRE₁が“L”となってビット線BL_iと電圧VBL₁が切り離される。ついで、選択されたブロックの選択ゲートSG₁とSG₂、および非選択ワード線WL₁、3、4が電源電圧VCCにされ、選択ワード線WL₂が1.2Vにされる(t₁₂)。同時に、信号VRFY₁が1.3Vにされ、nチャネルMOSトランジスタQn₃₄が導通する。これによって、第1のサブデータが“0”の場合のみ、ビット線BL_iの電位は、nチャネルMOSトランジスタQn₃₄、Qn₃₅によって“L”になる(t₁₂~t₁₃)。

【0117】選択ワード線WL₂が1.2Vになると、“2”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“2”データを記憶している状態に達していればビット線BL_iは“H”のままである。“2”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“2”データを記憶している状態に達していなければビット線BL_iは“L”になる。“1”の制御データを記憶しているデータ記憶回路10に対応するメモリセルは“2”データを記憶している状態に達しないのでビット線BL_iは“L”になる。選択ゲートSG₁、SG₂、ワード線WL₁~WL₄が0Vにリセットされた(t₁₃)後、信号VRFY₂が“H”となり、第2のサブデータが“0”の場合のみ、ビット線BL_iは“H”にされる(t₁₄)。ここで電圧VREGはVCCである。信号SEN₂とLAT₂が“L”になってクロック同期式インバータCI₃とCI₄は非活性化される(t₁₆)。信号PRO₂が“H”になって(t₁₇)、信号SEN₂が“H”になる(t₁₈)とクロック同期式インバータCI₃が活性化され、ビット線BL_iの電圧がセンスされる。信号LAT₂が“H”になる(t₁₉)とクロック同期式インバータCI₄が活性化され、センスされたビット線BL_iの信号の論理レベルがラッチされる。信号PRO₂が“L”となり(t₂₀)、“2”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“2”データを記憶している状態に達しているか否かの

検出（データ“2”のペリファイ読み出し）が終了する。

【0118】この時点で、“3”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“3”データを記憶している状態に達していると検出された場合、データ記憶回路10の制御データは“0”データに変更されている。“2”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“2”データを記憶している状態に達していると検出された場合のみ、データ記憶回路10の制御データは“1”データに変更されている。そのほかの場合は、制御データは保持される（変更されない）。

【0119】続いて“1”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“1”データを記憶している状態に達しているか否かを検出する動作に入る。電圧VBL1が1.3Vとなって（t20）、信号PRE1が“H”となりビット線BLiが“H”に充電される（t21）。続いて信号PRE1が“L”となってビット線BLiと電圧VBL1が切り離される。ついで、選択されたブロックの選択ゲートSG1とSG2、および非選択ワード線WL1、3、4が電源電圧VCCにされ、選択ワード線WL2が0.4Vにされる（t22）。

【0120】選択ワード線WL2が0.4Vになると、“1”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“1”データを記憶している状態に達していればビット線BLiは“H”のままである。“1”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“1”データを記憶している状態に達していなければビット線BLiは“L”になる。選択ゲートSG1、SG2、ワード線WL1～WL4が0Vにリセットされた（t23）後、信号PRO2が1.3Vとなり（t24）、第2のサブデータが“1”の場合、ビット線BLiは“L”にされる。第2のサブデータが“0”の場合でビット線BLiがもともと“H”の場合は、ビット線BLiは“H”のままである。第2のサブデータが“0”の場合でビット線BLiがもともと“L”の場合は、nチャネルMOSTランジ

スタQn40のしきい値を1Vとすると、1.3Vの信号PRO2によってビット線BLiは高々0.3Vにしかない。0.3Vのビット線BLiの電圧が“L”と検出されるようにクロック同期式インバータCI1を設定しておけば、ビット線BLiは“L”のままである。続いて、信号VRFY1が“H”となって、第1のサブデータが“0”の場合のみ、ビット線BLiは“H”に変更される（t26）。信号SEN1とLAT1が“L”になってクロック同期式インバータCI1とCI2は非活性化される（t28）。信号PRO1が“H”になって（t29）、信号SEN1が“H”になる（t30）とクロック同期式インバータCI1が活性化され、ビット線BLiの電圧がセンスされる。信号LAT1が“H”になる（t31）とクロック同期式インバータCI2が活性化され、ビット線BLiの信号の論理レベルがラッチされる。信号PRO1が“L”となって（t32）、“1”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“1”データを記憶している状態に達しているか否かを検出する動作（データ“1”のペリファイ読み出し）は終わる。この時点で、“3”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“3”データを記憶している状態に達していると検出された場合と、“2”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“2”データを記憶している状態に達していると検出された場合と、“1”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“1”データを記憶している状態に達していると検出された場合のみ、データ記憶回路10の制御データは“0”データに変更され、そのほかの場合は、制御データは保持される（変更されない）。

【0121】信号BLC1が“L”、信号PRE1が“H”、電圧VFFがVCCとなって書き込みペリファイ動作が終わる。書き込みペリファイ動作で、メモリセルの書き込み状態からデータ記憶回路10に記憶されている制御データが表8のように変更される。

【0122】

【表8】

メモリセル 書き込み状態	書き込みペリファイ前の 制御データ	書き込みペリファイ後の 制御データ
0、1、2または3	0	0
1未達	1	1
1	1	0
2未達	2	2
2	2	0
3未達	3	3
3	3	0

【0123】従って、図18のt1～t9に示される書き込み動作と図19～図21に示される書き込みペリファイ動作を、全ての制御データが“0”になるまで繰り

返すことで、メモリセルMへのデータ書き込み（プログラム）が行われる。ただし、好ましくは上述したような第1の実施の形態と同様に、データ“3”のペリファイ

読み出し、データ“2”のペリファイ読み出し、データ“1”のペリファイ読み出しを、以下のように選択的に実行する。

(1) データ“3”のペリファイ読み出し、データ“2”のペリファイ読み出し、データ“1”のペリファイ読み出し全てを実行するには、図19～図21に示されたようにすればよい。

(2) データ“3”のペリファイ読み出し、データ“2”のペリファイ読み出しのみを実行するには、図19～図21に示されたようにすればよい。

(3) データ“3”のペリファイ読み出し、データ“1”のペリファイ読み出しのみを実行するには、図19～図21に示されたものから、時間 t_{11} ～ t_{21} を省略すればよい。

(4) データ“3”のペリファイ読み出しのみを実行するには、図19～図21に示されたものから、時間 t_{11} ～ t_{34} を省略すればよい。ただし、 t_{11} で電圧 V_{BL1} は0V、 V_{FF} はVCC、信号 $PRE1$ は“H”、 $BLC1$ は“L”にリセットする。

(5) データ“2”のペリファイ読み出し、データ“1”のペリファイ読み出しのみを実行するには、図19～図21に示されたものから、時間 t_1 ～ t_{11} を省略すればよい。ただし、 t_{11} で電圧 V_{BL1} は1.3V、 V_{FF} は2.0V、 $BLC1$ は“H”にセットしておく。

(6) データ“2”のペリファイ読み出しのみを実行するには、図19～図21に示されたものから、時間 t_1 ～ t_{11} を省略すればよい。ただし、 t_{11} で電圧 V_{BL1} は1.3V、 V_{FF} は2.0V、 $BLC1$ は“H”にセットしておく。

(7) データ“1”のペリファイ読み出しのみを実行するには、図19～図21に示されたものから、時間 t_1 ～ t_{21} を省略すればよい。ただし、 t_{21} で電圧 V_{BL1} は1.3V、 V_{FF} は2.0V、 $BLC1$ は“H”にセットしておく。

【0124】ここで、本発明の第2の実施の形態における書き込みペリファイ動作に際しては、データ“2”のペリファイ読み出しを実行するに当たって、第2のサブデータ回路21のみがビット線電位をセンスする。即ち、仮にデータ記憶回路10を構成する第1のサブデータ回路20および第2のサブデータ回路21の間でセンス感度がずれていると、メモリセルが“2”データを記憶している状態に達している場合に、データ“2”のペリファイ読み出しに際しこれら2つのサブデータ回路を共に使用してデータ記憶回路10の制御データを“2”から“0”に変更しようとしても、制御データが例えば“2”から“3”に変更されてしまうことがある。従って、データ“2”を書き込みたいメモリセルにデータ“3”が書き込まれるおそれがある。

【0125】こうした問題を回避するため、本発明の第

2の実施の形態では、書き込みペリファイ動作のうちデータ“2”のペリファイ読み出しについて、第2のサブデータ回路21のみがビット線電位をセンスし、メモリセルが“2”データを記憶している状態に達している場合は、データ“2”のペリファイ読み出しの際データ記憶回路10の制御データを、一旦“2”から“1”に変更する。ついで、このようなデータ“2”のペリファイ読み出しの後にデータ“1”のペリファイ読み出しが実行されると、先に“2”から“1”に変更された制御データはここで必ず“0”になる。つまり、データ記憶回路10の制御データが正しく変換され、ひいては安定した書き込みペリファイ結果を得ることができる。

【0126】図22は、本発明の第2の実施の形態において、多値メモリに対するプログラムの詳細な流れを示している。このプログラムの流れは、図1に示される制御信号および制御電圧発生回路7で制御される。なおここでは、図10に示されるプログラムの流れと違って、データ“2”のペリファイ読み出しが実行されると、続いて、必ずデータ“1”のペリファイ読み出しが実行されるように設定されている。

【0127】制御信号入力端子8に入力されたプログラムスタートの命令でプログラムは始まる。制御信号および制御電圧発生回路7内に設けられる変数IWTをカウントするカウンタ回路がリセットされIWTは0にされる(S1)。データ入出力端子5に入力された4224ビット分の初期制御データがデータ記憶回路10にロードされる(S2)。

【0128】データロード後、書き込み動作が行われ、このとき、変数IWTは1だけインクリメントされる(S3)。データ検出回路9の出力FR3が“H”か否かが調べられる(S4)。データ検出回路9の出力FR3が“H”でデータ“3”がデータ記憶回路10に残っていれば、変数IWTが予め決められたW3以上か否かが調べられる(S5)。変数IWTがW3以上なら、データ“3”のペリファイ読み出しが行われる(S6)。FR3が“L”あるいは変数IWTがW3より小さければ、データ“3”のペリファイ読み出しは省略される。

【0129】続いて、データ検出回路9の出力FR2が“H”か否かが調べられる(S7)。データ検出回路9の出力FR2が“H”でデータ“2”がデータ記憶回路10に残っていれば、変数IWTが予め決められたW2以上か否かが調べられる(S8)。変数IWTがW2以上なら、データ“2”のペリファイ読み出しが行われる(S9)。FR2が“L”あるいは変数IWTがW2より小さければ、データ“2”のペリファイ読み出しは省略される。

【0130】続いて、データ検出回路9の出力FR1が“H”か否かが調べられる(S10)。データ検出回路9の出力FR1が“H”でデータ“1”がデータ記憶回路10に残っていれば、変数IWTが予め決められたW

1以上か否かが調べられる(S11)。変数IWTがW1以上なら、データ“1”のベリファイ読み出しが行われる(S12)。FR1が“L”あるいは変数IWTがW1より小さければ、データ“1”のベリファイ読み出しは省略される。ただし、データ“2”のベリファイ読み出し(S9)が行われた場合、常にデータ“1”ベリファイ読み出し(S12)は行われる。

【0131】続いて、データ検出回路9の出力FR3、FR2、FR1の全てが“L”であればプログラム終了となる(S13、S14、S15)。データ検出回路9の出力FR3、FR2、FR1のうち1つでも“H”があれば、再度、書き込み動作(S3)にもどる。変数IWTが1つ増えるごとに選択されたワード線に印加される書き込み時の電圧(図17に示される時間t3からt7の間の選択ワード線の電圧)は0.4Vずつ増加され、“1”、“2”、“3”書き込みされるメモリセルMのしきい値はほぼ0.4Vずつ上昇していく。予め決められるW1、W2、W3は、次のようにして決められる。

【0132】再度、図11を参照して説明する。図11はメモリセルMの書き込み特性の例を示している。横軸は書き込み動作回数IWTである。縦軸は、書き込み動作回数IWT後の最も書き込み易いメモリセル(白丸)と最も書き込み難いメモリセル(黒丸)のしきい値を示している。最も書き込み易いメモリセルのしきい値は、1回目の書き込み動作後に0.1Vに達する。このとき最も書き込み難いメモリセルのしきい値は-1.5Vである。書き込み動作回数が1つ増えるごとに選択ワード線の書き込み時の電圧が0.4Vずつ増えるので、メモリセルのしきい値もほぼ0.4Vずつ上昇する。ただし、“1”の制御データを記憶しているデータ記憶回路10に繋がるメモリセルMのしきい値は、0.8V低い。

【0133】1回目の書き込み動作後では、どのメモリセルのしきい値も0.4Vに達しないので、データ“3”、データ“2”、データ“1”のベリファイ読み出しの全ては必要ない。4回目以降では、最も書き込み易いメモリセルのしきい値は、1.2Vを超えるので、データ“2”のベリファイ読み出しが必要となる。また、“1”の制御データを記憶しているデータ記憶回路10に繋がるメモリセルMのしきい値は、0.4Vを超えるので、データ“1”のベリファイ読み出しも必要になる。よって、W1、W2は4と予め決められる。6回目以降では、最も書き込み易いメモリセルのしきい値は、2.0Vを超えるので、データ“3”のベリファイ読み出しが必要となる。よって、W3は6と予め決められる。

【0134】9回目の書き込み動作後には、つまりIWT=9以降、データ検出回路の出力FR1とFR2は“L”となる。10回目の書き込み動作後には、最も書

き込み難いメモリセルのしきい値でさえ2.0Vを超える。よって、少なくともIWT=11以降、データ検出回路の出力FR3は“L”となる。

【0135】図23に、図12に示したデータ検出回路9を使用した場合のプログラムの流れを示す。ステップS4、S7、S10は、それぞれ信号DEC3B、DEC2B、DEC1Bを“L”として、信号FR3、FR2、FR1を調べることで実行される。ステップS13は、信号DECBを“L”として、信号PTを調べることで実行される。そのほかは、図22に示した流れと同じであり、ここでも第1の実施の形態と全く同様の流れに従って、プログラムが実行される。

【0136】なお本発明の第2の実施の形態では、図18の時間t1～t9に示される書き込み動作と図19～図21に示される書き込みベリファイ動作を全ての制御データが“0”になるまで繰り返して、データ書き込みを行ってもよい。この場合、図1に示されるデータ検出回路9として、図24に示す回路構成のものを使用することも可能である。即ち図24に示されるデータ検出回路においては、第1のサブデータ回路20内のノードNa_iにnチャネルMOSトランジスタQn47のゲート電極とnチャネルMOSトランジスタQn49の電流通路の一端が接続され、第2のサブデータ回路21内のノードNa_{i+1}にnチャネルMOSトランジスタQn48のゲート電極とnチャネルMOSトランジスタQn50の電流通路の一端がそれぞれ接続される。nチャネルMOSトランジスタQn47、Qn48は、全てのサブデータ回路が“0”のサブデータを記憶しているか否かを検出するための回路である。全てのサブデータ回路が“0”のサブデータを記憶している場合、信号線PTと接地レベルが非導通となり、4224個のサブデータ回路のうち1つでも“1”のサブデータを記憶していると、信号線PTと接地レベルが導通となる。nチャネルMOSトランジスタQn49、Qn50は、全てのサブデータ回路に“0”のサブデータを記憶させるための回路である。信号PRSTが“H”になると、4224個のサブデータ回路に“0”のサブデータがセットされる。

【0137】さらにデータ記憶回路の回路構成は、図5に示される第1の実施の形態のものを使用しても容易に実施できる。また逆に、第1の実施の形態において、図14に示されるようなクロック同期式インバータをセンスアンプとして用いたデータ記憶回路を使用しても容易に実施できる。

【0138】以上のように、本願第1の発明における多値メモリは、少なくとも消去状態と第1の書き込み状態と第2の書き込み状態とを持ち電氣的に書き込み可能なメモリセル(M)、および前記メモリセル(M)に書き込み電圧を印加し所定の書き込みを行う書き込み動作と、前記書き込み動作後に前記メモリセル(M)が前記

第1の書き込み状態に達したか否かを確認する第1の書き込み確認動作、あるいは、前記書き込み動作後に前記メモリセル(M)が前記第2の書き込み状態に達したか否かを確認する第2の書き込み確認動作とを繰り返しながらデータ書き込みを行う書き込み回路(2、3、6、7、9)を備えた多値メモリであって、前記書き込み回路(2、3、6、7、9)は、データ書き込み当初の第1の期間は、前記第2の書き込み確認動作を省略して前記書き込み動作と前記第1の書き込み確認動作を繰り返し、前記第1の期間の後の第2の期間は、前記書き込み動作と前記第1の書き込み確認動作と前記第2の書き込み確認動作を繰り返すことを特徴とする。

【0139】さらに、本発明の望ましい実施様態としては、次のものがあげられる。

(1) 前記書き込み回路(2、3、6、7、9)は、前記第2の期間の後の第3の期間は、前記第1の書き込み確認動作を省略して前記書き込み動作と前記第2の書き込み確認動作を繰り返す。

(2) 前記書き込み回路(2、3、6、7、9)は、前記メモリセル(M)が所定の前記第1の書き込み状態あるいは第2の書き込み状態に達したと確認すると、前記メモリセル(M)に印加する書き込み電圧を変更する。

【0140】あるいは、本願第1の発明における多値メモリは、少なくとも消去状態と第1の書き込み状態と第2の書き込み状態とを持ち電氣的に書き込み可能な複数のメモリセル(M)、および前記複数のメモリセル

(M)に書き込み電圧を印加し所定の書き込みを行う書き込み動作と、前記書き込み動作後に前記複数のメモリセル(M)のうち第1の書き込み状態となるべきメモリセル(M)が前記第1の書き込み状態に達したか否かを確認する第1の書き込み確認動作、あるいは、前記書き込み動作後に前記複数のメモリセル(M)のうち第2の書き込み状態となるべきメモリセル(M)が前記第2の書き込み状態に達したか否かを確認する第2の書き込み確認動作とを繰り返しながらデータ書き込みを行う書き込み回路(2、3、6、7、9)を備えた多値メモリであって、前記書き込み回路(2、3、6、7、9)は、データ書き込み当初の第1の期間は、前記第2の書き込み確認動作を省略して前記書き込み動作と前記第1の書き込み確認動作を繰り返し、前記第1の期間の後の第2の期間は、前記書き込み動作と前記第1の書き込み確認動作と前記第2の書き込み確認動作を繰り返すことを特徴とする。

【0141】さらに、本発明の望ましい実施様態としては、次のものがあげられる。

(1) 前記書き込み回路(2、3、6、7、9)は、前記第2の期間の後の第3の期間は、前記第1の書き込み確認動作を省略して前記書き込み動作と前記第2の書き込み確認動作を繰り返す。

(2) 前記書き込み回路(2、3、6、7、9)は、前

記第1の書き込み状態となるべきメモリセル(M)が前記第1の書き込み状態に達したと確認すると、前記第1の書き込み状態となるべきメモリセル(M)に印加する書き込み電圧を変更し、前記第2の書き込み状態となるべきメモリセル(M)が前記第2の書き込み状態に達したと確認すると、前記第2の書き込み状態となるべきメモリセル(M)に印加する書き込み電圧を変更する。

(3) 前記第1の期間は予め決められている。

(4) 前記書き込み回路(2、3、6、7、9)は、前記第1の書き込み状態となるべきメモリセル(M)の全てが前記第1の書き込み状態に達したと確認すると、前記第1の書き込み確認動作を省略して前記書き込み動作と前記第2の書き込み確認動作を繰り返す。

(5) 前記書き込み回路(2、3、6、7、9)は、前記第1の書き込み状態となるべきメモリセル(M)の全てが前記第1の書き込み状態に達したか否かを一括して検出する。

(6) 前記書き込み回路(2、3、6、7、9)は、前記第2の書き込み状態となるべきメモリセル(M)の全てが前記第2の書き込み状態に達したか否かを一括して検出する。

(7) 前記第1の書き込み状態となるべきメモリセル(M)に印加される書き込み電圧と前記第2の書き込み状態となるべきメモリセル(M)に印加される書き込み電圧が等しい。

(8) 前記書き込み回路(2、3、6、7、9)は、書き込みが行われたメモリセル(M)の全てが所定の書き込み状態に達したことを確認して前記書き込み動作を終了する。

(9) 前記書き込み回路(2、3、6、7、9)は、書き込みが行われたメモリセル(M)の全てが所定の書き込み状態に達したことを一括して検出する。

【0142】また、本願第2の発明における多値メモリは、各々が n 値($n \geq 3$)のデータを記憶可能な複数の不揮発性メモリセル(M)から構成されるメモリセルアレイ(1)、および前記メモリセルアレイ(1)中の選択されたメモリセル(M)に書き込み動作中に印加される書き込み制御電圧を決める制御データを記憶するデータ記憶回路(10)を具備し、前記データ記憶回路(10)は、前記データ記憶回路(10)に記憶されている前記制御データに基づいて選択されたメモリセル(M)に前記書き込み制御電圧を印加し、第1の制御データを記憶している前記データ記憶回路(10)は、選択されたメモリセル(M)の書き込み状態が第1の状態に達したか否かを検出し、達している場合に制御データを第2の制御データに変更し、前記第2の制御データを記憶している前記データ記憶回路(10)は、選択されたメモリセル(M)の書き込み状態が第2の状態に達したか否かを検出し、達している場合に制御データを第3の制御データに変更することを特徴とする。

【0143】さらに、本発明の望ましい実施様態としては、次のものがあげられる。

(1) 前記第1の状態は第1のしきい値レベルを有し、前記第2の状態は前記第1のしきい値レベルよりも低い第2のしきい値レベルを有する。

(2) 前記データ記憶回路(10)は、第1のサブデータ回路(CI1、CI2、Qn33、Qn34、Qn35)と第2のサブデータ回路(CI3、CI4、Qn40、Qn41、Qn42)から構成され、第1のサブデータ回路(CI1、CI2、Qn33、Qn34、Qn35)に第1の論理レベルのサブデータを記憶し第2のサブデータ回路(CI3、CI4、Qn40、Qn41、Qn42)に前記第1の論理レベルのサブデータを記憶して、前記第1の制御データを記憶し、第1のサブデータ回路(CI1、CI2、Qn33、Qn34、Qn35)に前記第1の論理レベルのサブデータを記憶し第2のサブデータ回路(CI3、CI4、Qn40、Qn41、Qn42)に第2の論理レベルのサブデータを記憶して、前記第2の制御データを記憶し、第1のサブデータ回路(CI1、CI2、Qn33、Qn34、Qn35)に前記第2の論理レベルのサブデータを記憶し第2のサブデータ回路(CI3、CI4、Qn40、Qn41、Qn42)に前記第2の論理レベルのサブデータを記憶して、前記第3の制御データを記憶する。

(3) 前記データ記憶回路(10)は、選択されたメモリセル(M)の書き込み状態が前記第1の状態に達したか否かを、第1および第2のサブデータ回路の一方で検出し、選択されたメモリセル(M)の書き込み状態が前記第2の状態に達したか否かを、第1および第2のサブデータ回路の他方で検出する。

(4) さらに、全ての前記データ記憶回路(10)を構成する第1および第2のサブデータ回路に記憶されている全てのサブデータが前記第2の論理レベルであるか否かを一括して検出する回路を具備する。

(5) 前記メモリセル(M)は4値記憶可能であって、前記第1および第2のサブデータ回路はそれぞれ1つのフリップフロップ回路を含む。

(6) 前記メモリセル(M)は3値記憶可能であって、前記第1および第2のサブデータ回路はそれぞれ1つのフリップフロップ回路を含む。

【0144】なお、本発明は上述したような第1、第2の実施の形態に限定されるものではない。例えば、NOR型のメモリセルアレイを有する多値記憶不揮発性半導体記憶装置や、ホットエレクトロン注入書き込み式の多値記憶不揮発性半導体記憶装置であっても同様に実施でき、その他本発明の要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0145】

【発明の効果】本願第1の発明に係わる多値メモリは、書き込み後に行われる書き込みベリファイが必要な書き

込み状態にのみ注目して書き込みベリファイを行っている。つまり、データ“1”、“2”、“3”ベリファイ読み出しを選択して実行する。メモリセルがそれぞれの書き込み状態に達する時間に差があるので、これを考慮して必要なベリファイ読み出しのみを実行する。これによって、冗長な書き込みベリファイ時間を省略し、高速に書き込み可能な多値メモリを実現することができる。

【0146】また、本願第2の発明に係わる多値メモリは、書き込み後に行われる書き込みベリファイ時に、ある書き込み状態を検出するのに1つのサブデータ回路のみでセンス動作を行っている。これによって、書き込みベリファイ結果が安定し、信頼性の高い多値メモリを実現することができる。

【図面の簡単な説明】

【図1】 本発明の多値メモリの概略構成を示すブロック図。

【図2】 本発明の第1の実施の形態において図1に示されたメモリセルアレイおよびビット線制御回路の構成例を示す回路図。

【図3】 図2に示されたメモリセルと選択トランジスタの断面図。

【図4】 図2に示されたNAND型セルユニットの断面図。

【図5】 図2に示されたメモリセルアレイとデータ記憶回路のより具体的な構成例を説明するための回路図。

【図6】 図1に示されたデータ検出回路の構成例を示す図。

【図7】 本発明の第1の実施の形態においてメモリセルに記憶されている4値データの読み出し動作を示すタイミングチャート。

【図8】 本発明の第1の実施の形態においてデータ記憶回路への制御データの初期設定と書き込み動作を示すタイミングチャート。

【図9】 本発明の第1の実施の形態において書き込みベリファイ動作を示すタイミングチャート。

【図10】 本発明の第1の実施の形態において多値メモリに対するプログラムの流れを示すフローチャート。

【図11】 本発明の第1の実施の形態においてメモリセルの書き込み特性を示す図。

【図12】 図1に示されたデータ検出回路の変形例を示す図。

【図13】 本発明の第1の実施の形態において多値メモリに対するプログラムの流れの変形例を示すフローチャート。

【図14】 本発明の第2の実施の形態において図1に示されたメモリセルアレイおよびビット線制御回路の具体的な構成例を説明するための回路図。

【図15】 図14に示されたクロック同期式インバータのシンボル図およびその詳細な回路図。

【図16】 本発明の第2の実施の形態においてメモリ

セルに記憶されている4値データの読み出し動作を示すタイミングチャート。

【図17】 本発明の第2の実施の形態においてメモリセルに記憶されている4値データの読み出し動作を示すタイミングチャート。

【図18】 本発明の第2の実施の形態においてデータ記憶回路への制御データの初期設定と書き込み動作を示すタイミングチャート。

【図19】 本発明の第2の実施の形態において書き込みベリファイ動作を示すタイミングチャート。

【図20】 本発明の第2の実施の形態において書き込みベリファイ動作を示すタイミングチャート。

【図21】 本発明の第2の実施の形態において書き込みベリファイ動作を示すタイミングチャート。

【図22】 本発明の第2の実施の形態において多値メモリに対するプログラムの流れを示すフローチャート。

【図23】 本発明の第1の実施の形態において多値メモリに対するプログラムの流れの変形例を示すフローチャート。

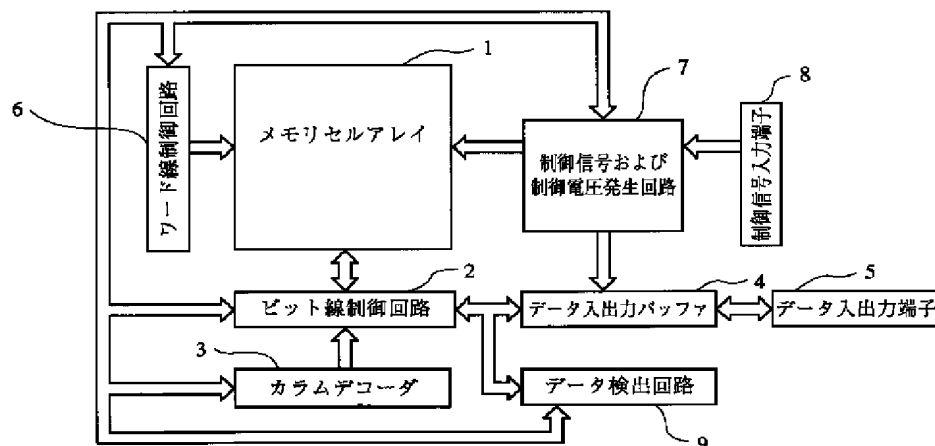
【図24】 図1に示されたデータ検出回路の変形例を示す図。

【符号の説明】

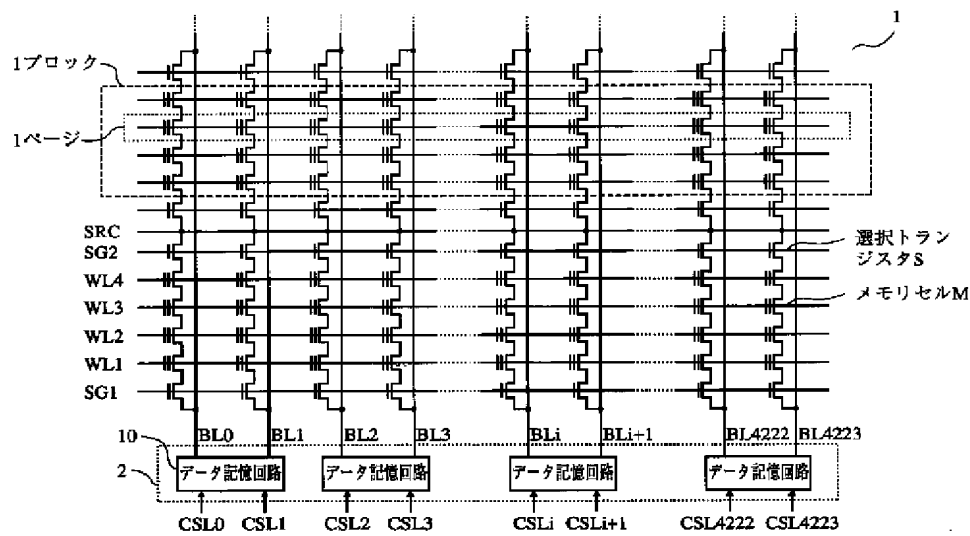
1…メモリセルアレイ、
2…ビット線制御回路、
3…カラムデコーダ、
4…データ入出力バッファ、
5…データ入出力端子、

6…ワード線制御回路、
7…制御信号および制御電圧発生回路、
8…制御信号入出力端子、
9…データ検出回路、
10…データ記憶回路、
11…p型半導体基板、
12…n型の拡散層、
13…絶縁膜、
14…浮遊ゲート、
15…絶縁膜、
16…制御ゲート、
17…絶縁膜、
18…選択ゲート、
20…第1のサブデータ回路
21…第2のサブデータ回路
M…メモリセル、
S…選択トランジスタ、
WL…ワード線、
BL…ビット線、
SG…選択ゲート、
SRC…共通ソース線、
Qn…nチャネルMOSトランジスタ、
Qp…pチャネルMOSトランジスタ、
I…インバータ、
G…論理ゲート、
VCC…電源電圧、
CI…クロック同期式インバータ。

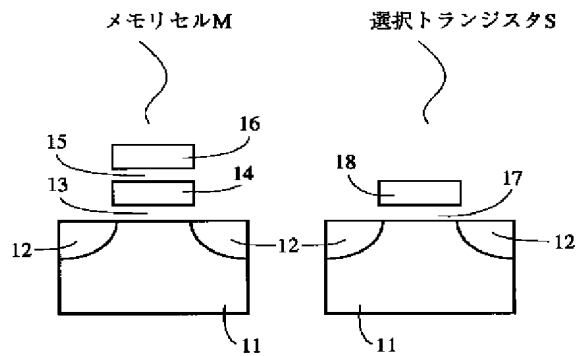
【図1】



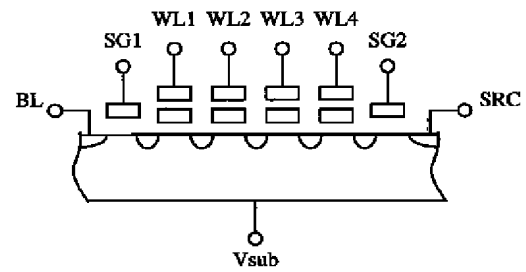
【図2】



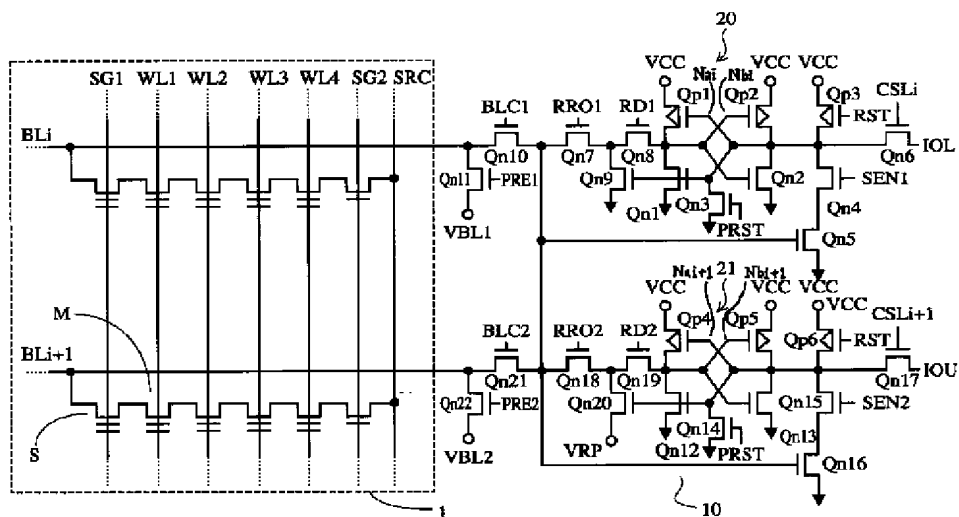
【図3】



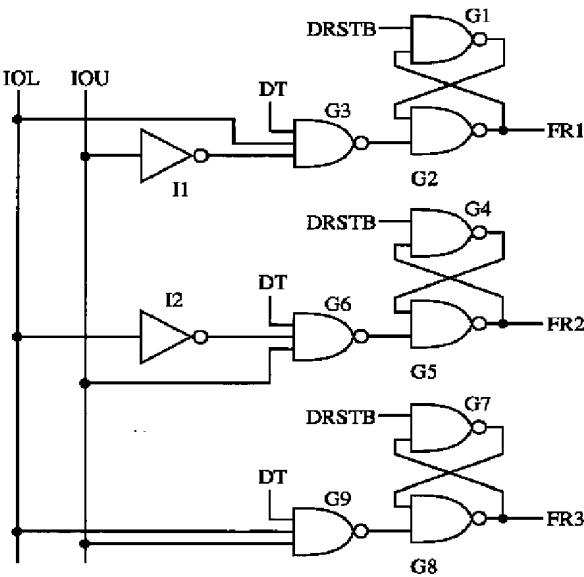
【図4】



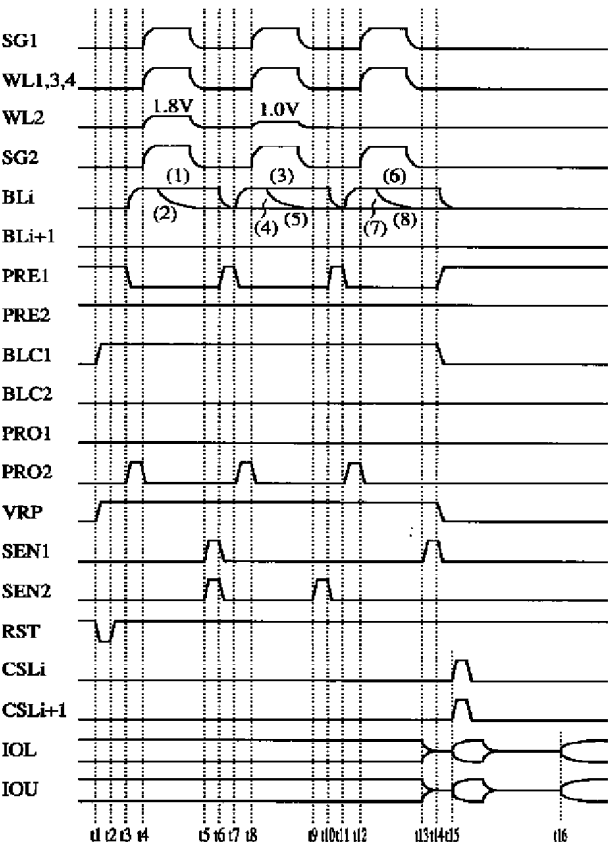
【図5】



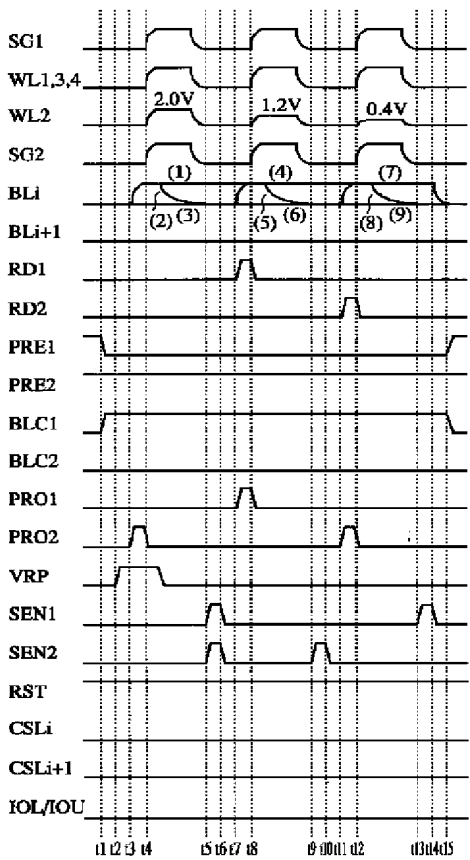
【図6】



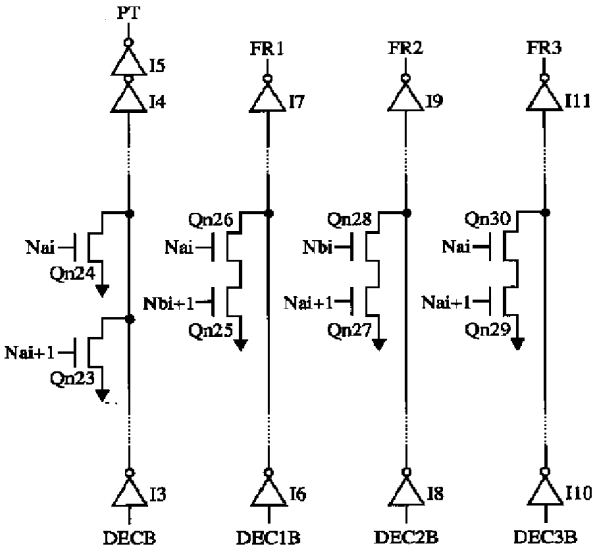
【図7】



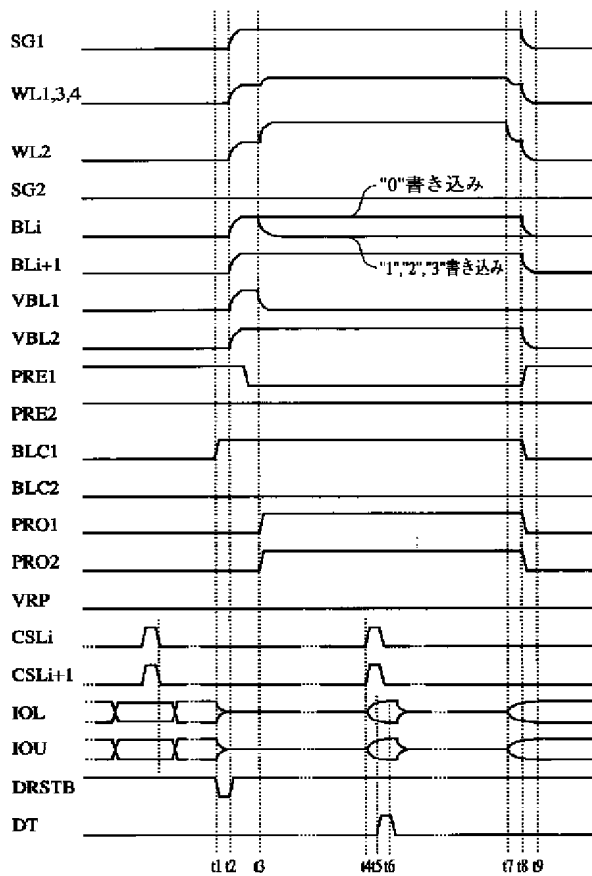
【図9】



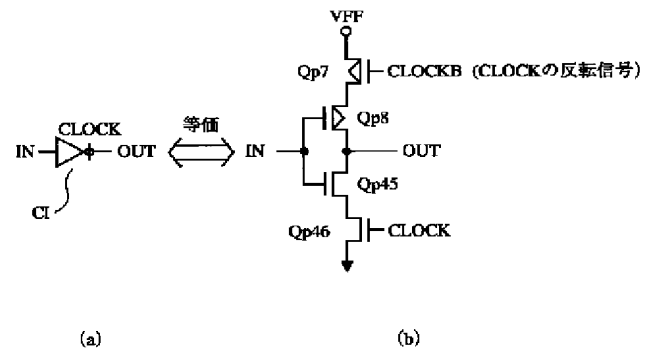
【図12】



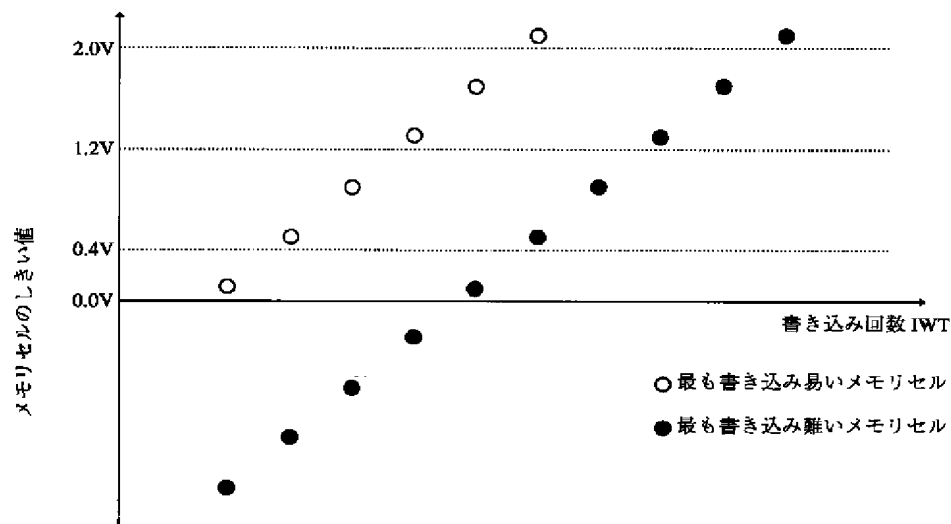
【図8】



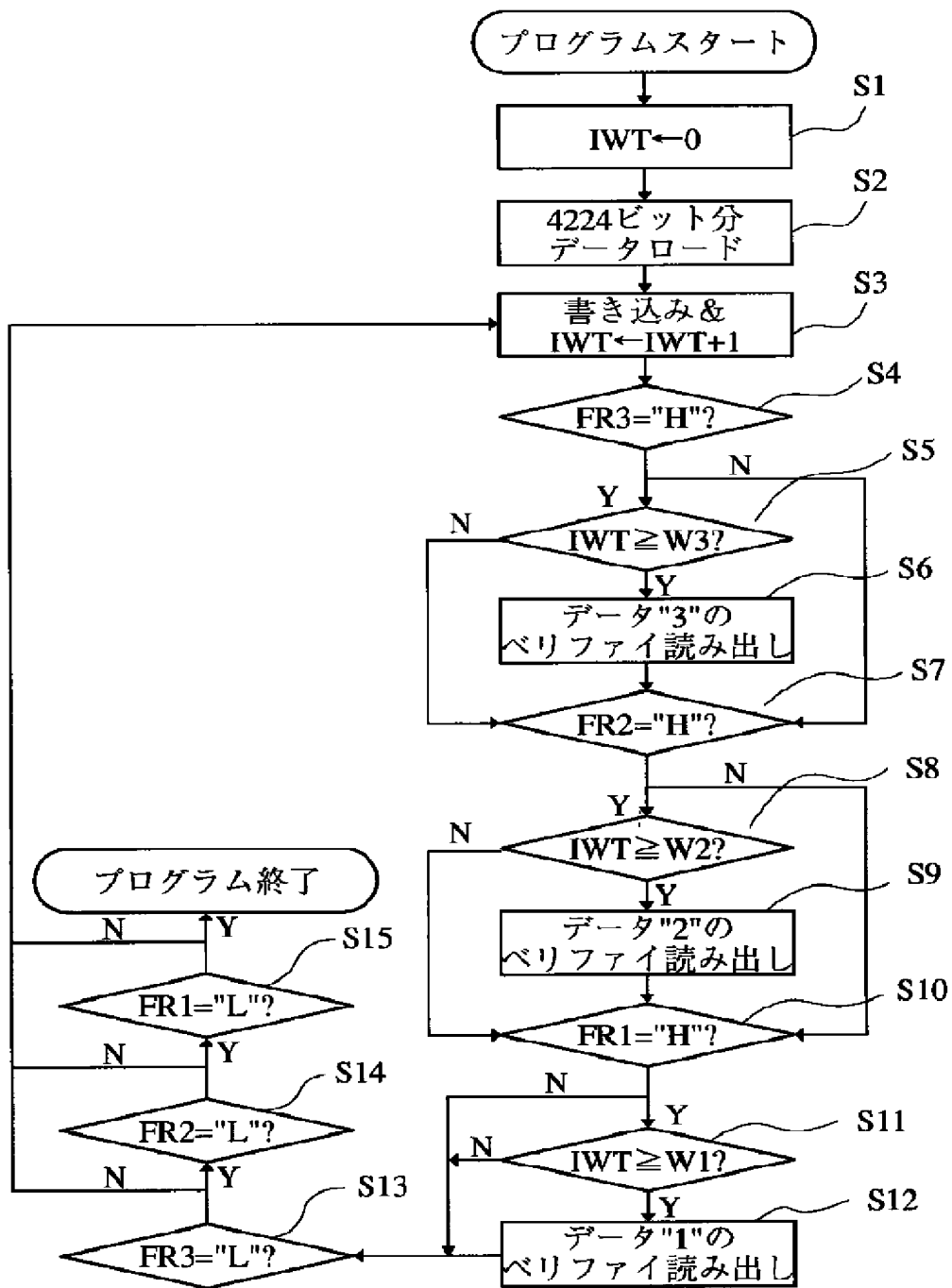
【図15】



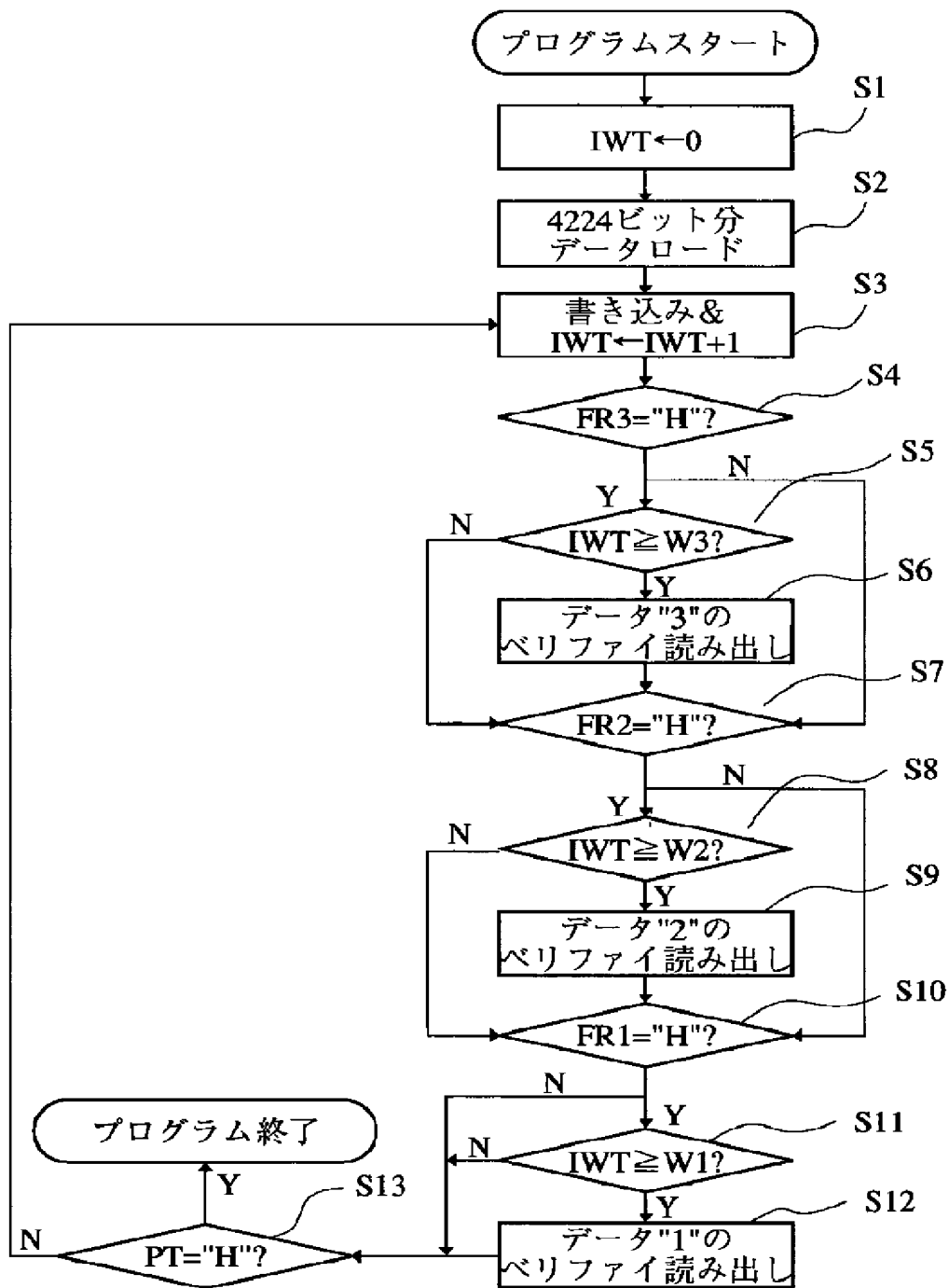
【図11】



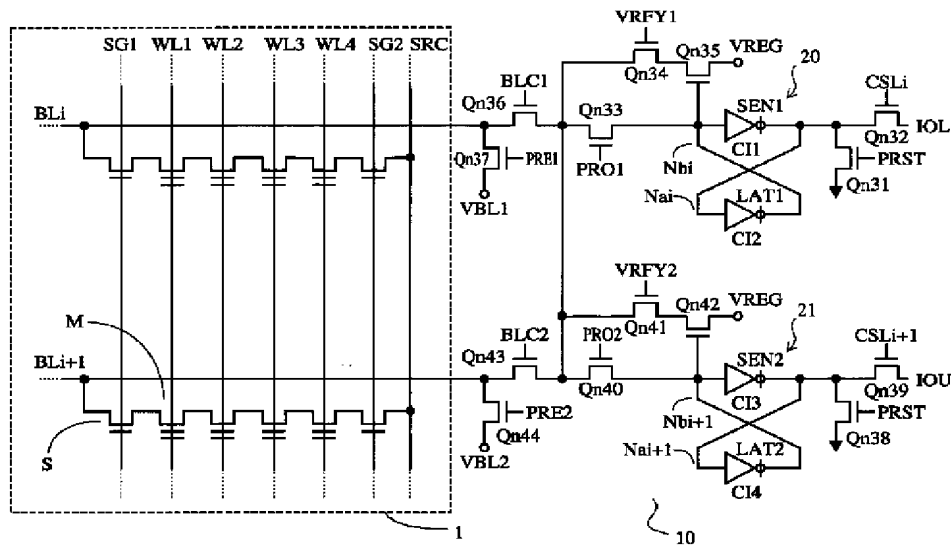
【図10】



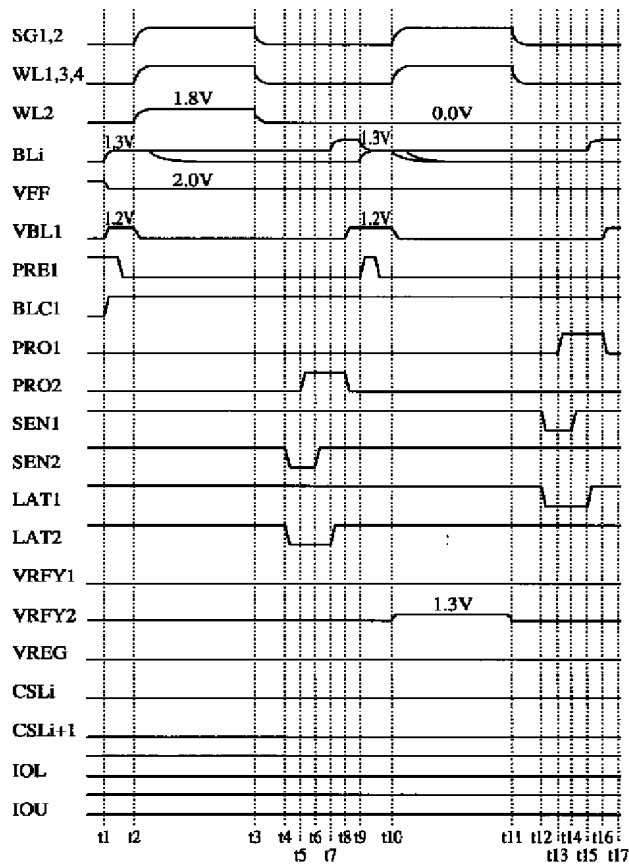
【図13】



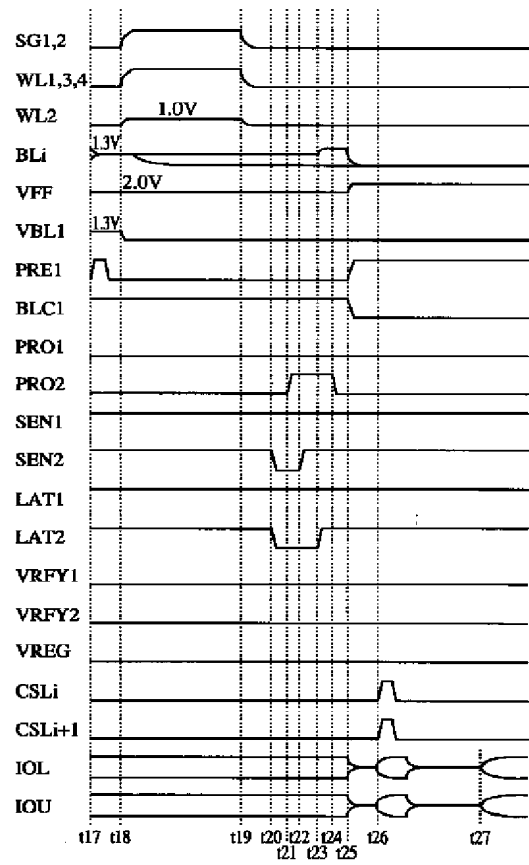
【図14】



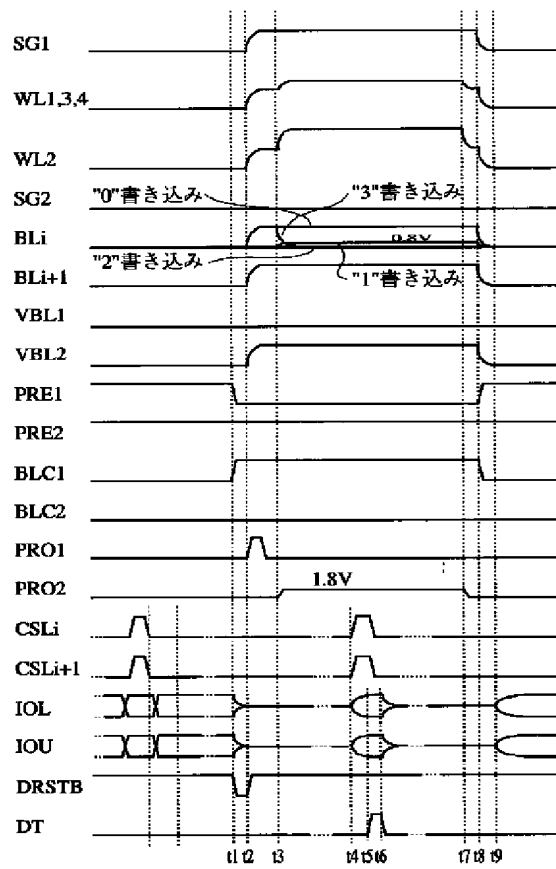
【図16】



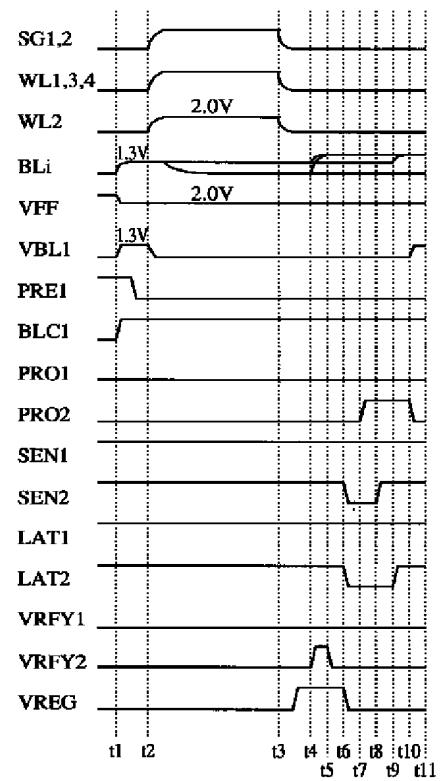
【図17】



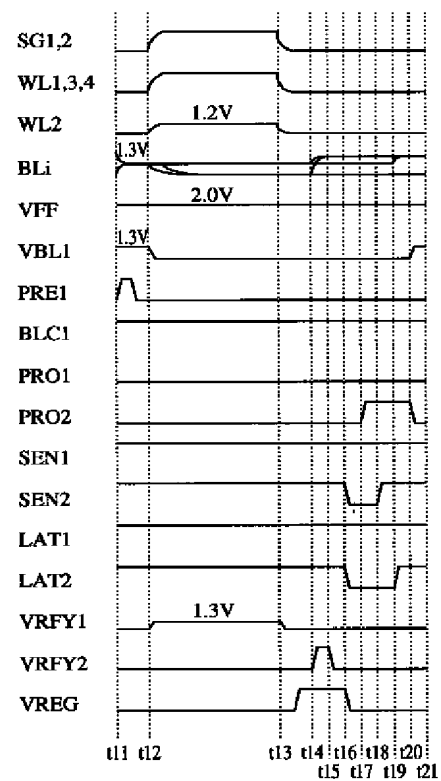
【図18】



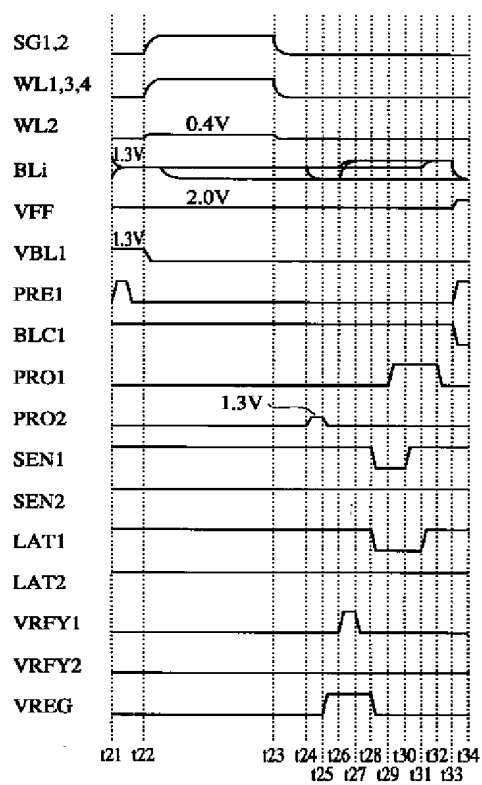
【図19】



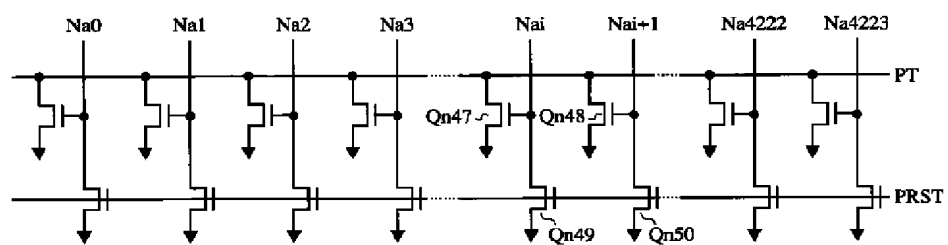
【図20】



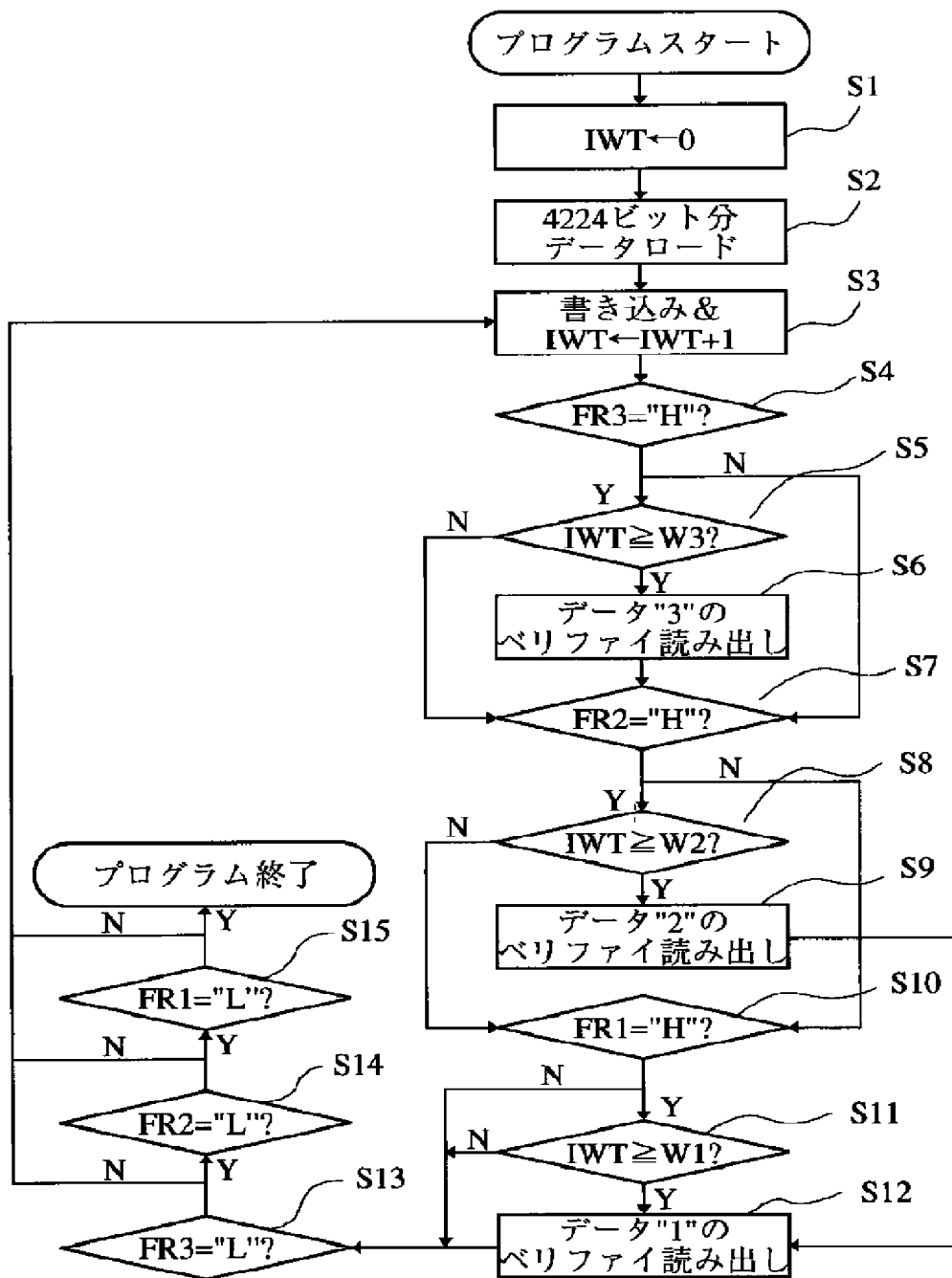
【図21】



【図24】



【図22】



【図23】

